

マテリアル先端リサーチインフラ利用報告書

ARIM User's Report

[Release : 2024.07.25] [Update : 2024.06.25]

課題データ / Project Data

課題番号 Project Issue Number	23RO0015
利用課題名 Title	MOSキャパシタ
利用した実施機関 Support Institute	広島大学 / Hiroshima Univ.
機関外・機関内の利用 External or Internal Use	外部利用/External Use
ARIM半導体基盤PF 関連課題 Related to ARIM-SETI	指定なし / No Designation
横断技術領域 Cross-Technology Area	加工・デバイスプロセス/Nanofabrication 計測・分析/Advanced Characterization
重要技術領域 Important Technology Area	革新的なエネルギー変換を可能とするマテリアル/Materials enabling innovative energy conversion
キーワード Keywords	MOSキャパシタ製作,半導体パラメータ測定,成膜成膜,表面処理,形状・形態観察,電極材料/ Electrode material,蒸着・成膜/ Vapor deposition/film formation,スパッタリング/ Sputtering,光学顕微鏡/ Optical microscope,膜加工・エッチング/ Film processing/etching

利用者と利用形態 / User and Support Type

利用者名 (課題申請者) User Name (Project Applicant)	小西 優一
所属名 Affiliation	中央大学大学院理工学研究科
共同利用者氏名 Names of Collaborators Excluding Supporters in the Hub and Spoke Institutes	
ARIM実施機関支援担当者 Names of Supporters in the Hub and Spoke Institutes	
利用形態 Support Type	技術補助/Technical Assistance

利用した主な設備 / Equipment Used in This Project

利用した主な設備 Equipment ID & Name	RO-121 : スピンコータ RO-221 : 酸化炉 RO-225 : ポストメタライゼーションアニール (PMA) 炉 RO-321 : スパッタ装置 (AI用) RO-511 : プローバ
---	--

報告書データ / Report

概要 (目的・用途・実施内容) Abstract (Aim, Use Applications and Contents)	半導体素子製作体験のために、広島大学の設備を利用してMOSキャパシタの製作を行った。また、製作したデバイスの特性を調べるべく、同大学の設備を利用してCV特性を測定した。MOSキャパシタの製作は成功した。さらに、半導体デバイスの測定及び評価方法の学習のために、半導体パラメータアナライザを使った。
実験 Experimental	2inch P型Siウエハの自然酸化膜をフッ化水素酸で除去し、酸化炉で酸化膜をSiウエハに成膜した。次にSiウエハ表面にレジストをスピンコータでスピンコートした後、酸化膜エッチングを行った。レジスト除去後、レジスト除去液によって生成したSiウエハ裏面の酸化膜を除去した後、スパッタ装置を用いてバルク電極を形成した。次にSiウエハ表面にスパッタを施し、MOSキャパシタのゲート電極を形成した。最後にPMAアニールを行い、表面処理をしたものとしなかったものに分けて、特性の違いを調べた。また、酸化膜厚の測定のために、干渉膜厚計 (AFT 5000) を用いた。製作物の特性評価として、CV特性のLCRメータ (Agilent 4284) による評価を行った。また、既成のSiウエハ上のCMOSインバータやMOSFETの特性評価を半導体パラメータアナライザ (Agilent 4156) で評価した。
結果と考察 Results and Discussion	製作したMOSキャパシタの全体像を図1に示す。Siウエハ表面に見える丸い銀色の領域がそれぞれMOSキャパシタのゲート電極に当たる。この電極の内、赤丸で囲った電極のCV特性を測定した (図2)。これらの測定結果から、MOSキャパシタの不純物濃度やスレッシュホールド電圧、フラットバンド電圧、フラットバンド容量を求めた。その結果を表1に示す。不純物濃度はゲート電圧が -1 V から 0 V の範囲におけるCV特性の傾きから求められる。スレッシュホールド電圧はゲート電圧が正の領域から負の領域へ戻る際の変曲点となる。フラットバンド容量は式1で表される。なお、 τ は熱電圧で 300 K において 26 mV である。 ϵ は酸化膜の SiO_2 の誘電率で、 3.45×10^{-13} となる。最後にフラットバンド電圧 V_{FB} はグラフ中最大の容量の38%の容量を取るときの電圧と定義した。PMA処理の有無による差異の一つとして、 $(C/S)^2$ 特性の違いがある (図3)。これは、PMAを行うことによって、酸化膜中の局在電位を減らし、 $(C/S)^2$ 特性をリニアにしている。
図・表・数式 1 Figures, Tables and Equations 1	<div style="text-align: center;">  </div> <p style="text-align: center;">図1 製作したMOSキャパシタ</p>

図・表・数式 2
Figures, Tables and Equations 2

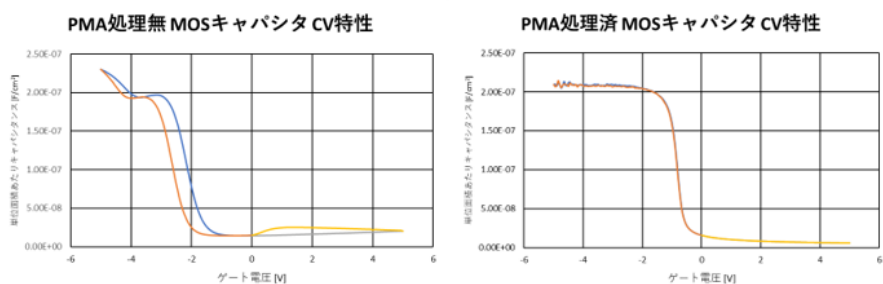


図2 CV特性

図・表・数式 3
Figures, Tables and Equations 3

	PMA 未処理	PMA 処理済
ゲート電極半径 r [mm]	13.4	11.8
酸化膜厚 t_{ox} [nm]	15.0	16.1
不純物濃度 N_A [m^{-3}]	1.36×10^{16}	1.20×10^{16}
スレッショルド電圧 V_{TH} [V]	-1.54	-0.55
フラットバンド電圧 V_{FB} [V]	0.55	-0.80
フラットバンド容量 C_{FB} [nF]	97.7	91.5

表1 MOSキャパシタ各種パラメータ

図・表・数式 4
Figures, Tables and Equations 4

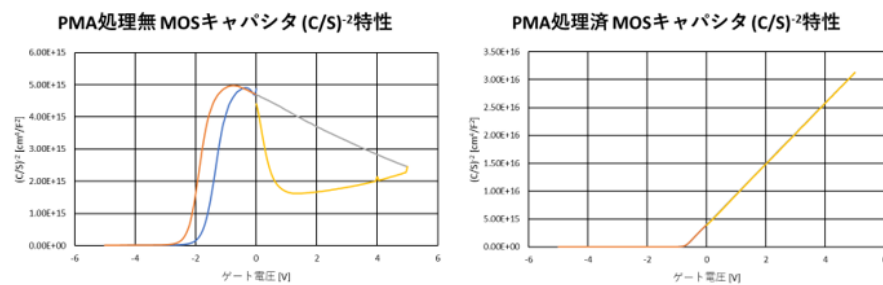


図3 (C/S)²特性

図・表・数式 5
Figures, Tables and Equations 5

$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \sqrt{\frac{\tau}{\epsilon N_A}}$$

式1 フラットバンド容量の関係式

その他・特記事項 (参考文献・謝辞等)
Remarks(References and Acknowledgements)

横山 新 著「デバイス・プロセス工学」 New Mountain Side Publishing Company 2017年 本研究の遂行にあたり、共同研究者として終始多大なご指導を賜った、広島大学ナノデバイス研究所黒木伸一郎教授に深謝致します。また同研究所ARIM支援室の先生皆様方には、本研究の遂行にあたり、適切なお助言、ご協力頂きました。ここに感謝の意を表します。

DOI (論文・プロシーディング) DOI (Publication and Proceedings)	
口頭発表、ポスター発表 および、その他の論文 Oral Presentations etc.	
特許出願件数 Number of Patent Applications	0件
特許登録件数 Number of Registered Patents	0件