

# マテリアル先端リサーチインフラ利用報告書

## ARIM User's Report

[Release : 2024.07.25] [Update : 2024.03.26]

### 課題データ / Project Data

課題番号 Project Issue Number	23TU0148
利用課題名 Title	MEMSによる構造試作
利用した実施機関 Support Institute	東北大学 / Tohoku Univ.
機関外・機関内の利用 External or Internal Use	外部利用/External Use
横断技術領域 Cross-Technology Area	加工・デバイスプロセス/Nanofabrication
重要技術領域 Important Technology Area	高度なデバイス機能の発現を可能とするマテリアル/Materials allowing high-level device functions to be performed
キーワード Keywords	熱酸化, MEMS/NEMSデバイス/ MEMS/NEMS device, 膜加工・エッチング/ Film processing/etching, 光リソグラフィ/ Photolithography

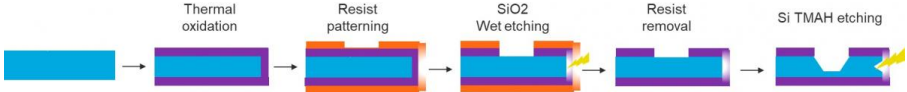
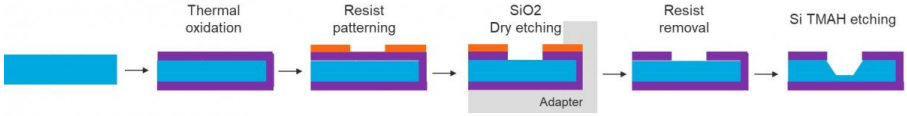

### 利用者と利用形態 / User and Support Type

利用者名（課題申請者） User Name (Project Applicant)	大島 澄美
所属名 Affiliation	東京エレクトロン株式会社
共同利用者氏名 Names of Collaborators in Other Institutes Than Hub and Spoke Institutes	林 輝幸, 中込 裕
ARIM実施機関支援担当者 Names of Collaborators in The Hub and Spoke Institutes	森山 雅昭, 菊田 利行
利用形態 Support Type	機器利用/Equipment Utilization, 技術相談/Technical Consultation

### 利用した主な設備 / Equipment Used in This Project

利用した主な設備 Equipment ID & Name	TU-001 : エッチングチャンバー TU-058 : マスクレスアライナ TU-101 : 酸化炉 TU-203 : DeepRIE装置#3 TU-218 : TMAHエッチング槽
---------------------------------	--

## 報告書データ / Report

<p><b>概要 (目的・用途・実施内容)</b> Abstract (Aim, Use Applications and Contents)</p>	<p>4inch Si waferへのHole加工として、TMAHを用いたWet etchingおよびBosch processを用いたDry etchingを組み合わせることでHole形成を行い、複数のHoleをもつNozzle Deviceを作製。作製したDeviceの性能向上に向けて、Hole形成後その部分を絶縁膜（酸化膜）で覆う手法を検討。 初期検討工程として、TMAH wet etching時のHard mask(SiO<sub>2</sub>)をBHF16でPatterningしていた。その際にWafer edgeのSiO<sub>2</sub>がEtchingされ、TMAH wet etching時にWafer edgeにCrackが発生。このCrackにより、Waferを酸化炉へ投入することができない状態となっていた。 これに対して、Hard mask patterningをDry etchingに変更することでCrack防止が可能かを検討した。</p>
<p><b>実験</b> Experimental</p>	<p>初期検討工程：Resist/SiO<sub>2</sub>/Si/SiO<sub>2</sub>/Resist構成のWaferに対して、SiO<sub>2</sub> wet etching(BHF16)→Resist剥離→Si wet etching (TMAH)で処理実施。（図1） 改善工程：Resist/SiO<sub>2</sub>/Si/SiO<sub>2</sub>構成のWaferに対して、SiO<sub>2</sub> dry etching (CHF<sub>3</sub>)→Resist剥離→Si wet etching (TMAH)で処理実施。（図2）SiO<sub>2</sub> dry etchingはDeep RIE#3で行い、4inch変換アダプタを使用。 各図はWafer外周部の概略図を示す。</p>
<p><b>結果と考察</b> Results and Discussion</p>	<p>初期検討工程処理後のWafer（図3）に対して、改善工程処理Wafer（図4）はEdge crackが発生していないことを確認。Deep RIE#3でのDry etchingで用いた4inch変換アダプタによって、Wafer edgeがカバーされ、SiO<sub>2</sub>保護されたと考えられる。Wafer外周部にSiO<sub>2</sub> maskが存在することで、TMAH wet etching時に発生していたダメージが改善した。 SiO<sub>2</sub> mask剥離後、裏面のDry etchingを実施し、Hole形成したWaferを酸化炉へ投入することで、狙いとした絶縁膜被覆が可能となった。</p>
<p><b>図・表・数式 1</b> Figures, Tables and Equations 1</p>	 <p>図1 初期検討工程のフロー図</p>
<p><b>図・表・数式 2</b> Figures, Tables and Equations 2</p>	 <p>図2 改善工程のフロー図</p>
<p><b>図・表・数式 3</b> Figures, Tables and Equations 3</p>	 <p>図3 初期検討工程処理後のWafer</p>

<p>図・表・数式 4 Figures, Tables and Equations 4</p>	 <p>図4 改善工程処理後のWafer</p>
<p>その他・特記事項（参考 文献・謝辞等） Remarks(References and Acknowledgements)</p>	

### 成果発表・成果利用 / Publication and Patents

<p>DOI（論文・プロシーディング） DOI (Publication and Proceedings)</p>	
<p>口頭発表、ポスター発表 および、その他の論文 Oral Presentations etc.</p>	
<p>特許出願件数 Number of Patent Applications</p>	0件
<p>特許登録件数 Number of Registered Patents</p>	0件