マテリアル先端リサーチインフラ利用報告書
ARIM User's Report

【Release：2023.08.01】　【Update：2023.04.24】

課題データ / Project Data

課題番号 Project Issue Number	22RO0018
利用課題名 Title	CMOSトランジスタ・IC作製実習（5入力OR回路の作成）
利用した実施機関 Support Institute	広島大学 / Hiroshima Univ.
機関外・機関内の利用 External or Internal Use	外部利用/External Use
横断技術領域 Cross-Technology Area	加工・デバイスプロセス/Nanofabrication 計測・分析/Advanced Characterization
重要技術領域 Important Technology Area	高度なデバイス機能の発現を可能とするマテリアル/Materials allowing high-level device functions to be performed
キーワード Keywords	レイアウト・マスク設計、リソグラフィ・露光・描画装置、成膜・膜堆積、膜加工・エッチング、熱処理、ドーピング、スパッタリング、電気計測,リソグラフィ/Lithography,膜加工・エッチング/Film processing and Etching,スパッタリング/Sputtering

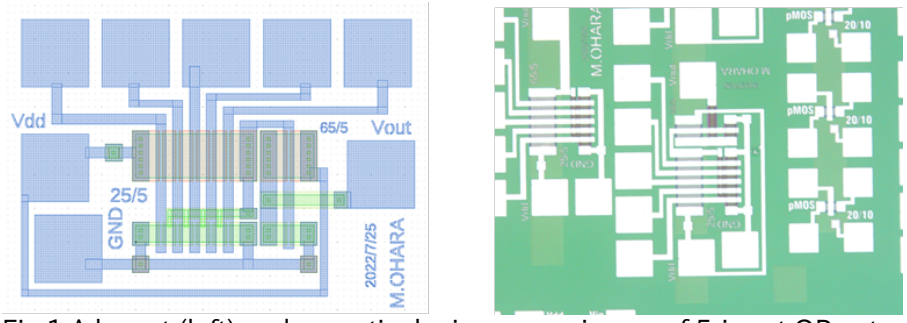
利用者と利用形態 / User and Support Type

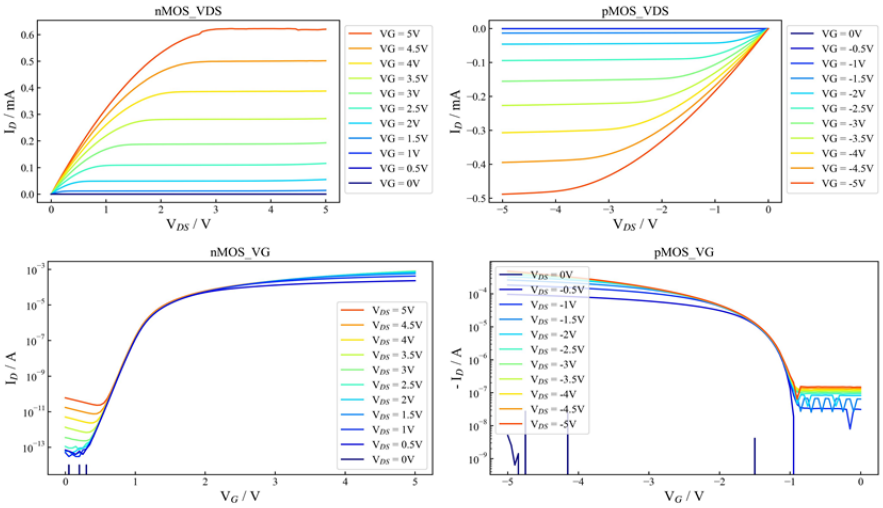
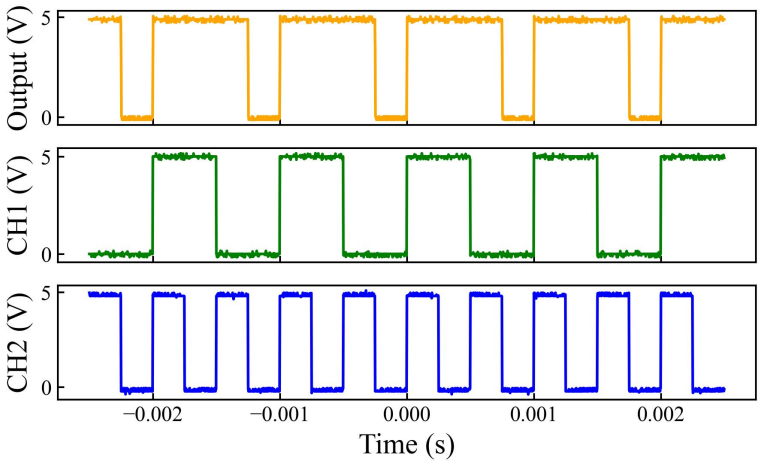
利用者名（課題申請者） User Name (Project Applicant)	大原 正裕
所属名 Affiliation	千葉大学大学院融合理工学府
共同利用者氏名 Names of Collaborators in Other Institutes Than Hub and Spoke Institutes	
ARIM実施機関支援担当者 Names of Collaborators in The Hub and Spoke Institutes	黒木 伸一郎,田部井 哲夫,山田 真司,岡田 和志,水野 恭司
利用形態 Support Type	技術補助/Technical Assistance

利用した主な設備 / Equipment Used in This Project

利用した主な設備 Equipment ID & Name	RO-131：レイアウト設計ツール RO-532：干渉式膜厚計 RO-113： マスクレス露光装置 RO-221：酸化炉 RO-211：イオン注入装置

報告書データ / Report

概要（目的・用途・実施内容） Abstract (Aim, Use Applications and Contents)	NMOS、PMOSトランジスタを用いたCMOS-ICの試作実習を通じてプロセス基礎技術とトランジスタ・回路の基本技術全体を学んだ。イオン注入、酸化、リソグラフィ、エッチングなど基本技術を学んだ。トランジスタ回路設計及びデバイス作製途中のパターン観察と完成後の特性評価を行った。自分自身でオリジナルな5入力OR回路を作成し、動作させることに成功した。
実験 Experimental	【利用した主な装置】 RO-131（レイアウト設計ツール）、RO-532（干渉式膜厚計）, RO-113（ﾏｽｸﾚｽ露光装置）、RO-221（酸化炉）、 RO-211（イオン注入装置）、RO-224（ウェル拡散炉）、RO-416（エッチング装置(レジスト Ashing用)）、RO-321（スパッタ装置(Al用)）、RO-225（ポストメタライゼーションアニール（PMA）炉）、RO-512（半導体パラメータ・アナライザ） 【実験方法】 実験には予めn-wellが形成されたウェハを用いた。 1.アクティブ領域を形成するためにリソグラフィを行い、酸化膜をエッチングした。さらにシールド酸化膜を形成・リソグラフィを行ったのち、イオン注入装置を用いてnMOSチャネルのインプランテーションを行った。 2. S/D電極を形成するためにリソグラフィーを行い、pMOSに対してはBF_2^+を、nMOSに対してはAsをインプランテーションした。その後シールド酸化膜をSC-1洗浄にて除去し、活性化アニールを行った。 3.フィールド酸化炉にH_2,O_2を流し、ゲート酸化膜を形成した。その後にN2を流し、Asの押し込みアニールを行った。 4.コンタクトホールを形成するためにリソグラフィーを行い、BHFにてウェットエッチングを行った。 ５． Al電極を形成するために、スパッタリングでウェハ両面にAlを成膜した後、リソグラフィとエッチングを行い、ポストメタライゼーションアニールを行った。
結果と考察 Results and Discussion	設計したレイアウトデータと、完成したCMOS5入力OR回路を光学顕微鏡で観察した様子をFig.1に示す 次に、作成したnMOS, pMOSトランジスタの出力特性(I_D-V_{DS}特性)と伝達特性(I_D-V_{GS}特性)をFig.2に示す。nMOS, pMOSともに問題なく動作することを確認した。 最後に５入力ORゲートの動作結果をFig.3に示す。プローブの数の都合上、3端子をオープンにしたまま 2端子にのみ矩形波を印加し出力を測定したが、正常に動作した。
図・表・数式 1 Figures, Tables and Equations 1	 Fig.1 A layout (left) and an optical microscope image of 5-input OR gate

図・表・数式 2 Figures, Tables and Equations 2	 Fig.2 Output characteristics of nMOS (upper left) and pMOS (upper right) transistor, and transfer characteristics of nMOS (lower left) and pMOS (lower right) transistor.
図・表・数式 3 Figures, Tables and Equations 3	 Fig.3 An operation result of of 5-input OR gate
その他・特記事項（参考文献・謝辞等） Remarks(References and Acknowledgements)	広島大学ナノテ゛ハ゛イス研究所の皆様に感謝申し上け゛ます。

成果発表・成果利用 / Publication and Patents

DOI（論文・プロシーディング） DOI (Publication and Proceedings)	
口頭発表、ポスター発表および、その他の論文 Oral Presentations etc.	
特許出願件数 Number of Patent Applications	0件
特許登録件数 Number of Registered Patents	0件