



文部科学省 マテリアル先端リサーチインフラ

Advanced Research Infrastructure for Materials and Nanotechnology (ARIM)

半導体基盤プラットフォーム

Semiconductor Technology Infrastructure (SETI)

ARIM-SETIコア機関 回路技術支援体制概要

(東北大学, 東京大学, 豊橋技術科学大学, 広島大学)

※本資料における支援内容は、ARIM利用報告書提出および実験データ公開を前提とした代表例です。

各機関には本資料以外の支援内容も在りますし、相談によって内容変更することが可能な場合もあります。

内容詳細および料金は、各機関へ問い合わせください。

支援項目	内容（実施例）		備考
回路設計 レイアウト設計	EDA	センサ向けアナログAFE回路を想定	
回路試作	0.7um @ ファウンドリー（※プロトタイプ試作）		※詳細は交渉中
	3um @ 東北大学（※プロセス立ち上げ中）		
デバイス評価	半導体パラメータ	KeySight B1500A	
	※ファンクションジェネレータ，ネットワークアナライザ他 立ち上げ中		
教育/人材育成	プロセス実習A（既存） （MEMSセンサプロセス実習 & IoTモジュール作成評価）	5日／4人	
	プロセス実習B（既存） （ウエハプロセス実習 & 電気特性評価）	2日／4人	
	TCADシミュレーション実習	実習内容、日数等含めて検討中	
	プロセス実習C （ex. Tr基本特性Key工程抜粋）	実習内容、日数等含めて検討中 （※ユーザーごとのカスタマイズも検討中）	
	回路設計研修/実習 （ex. TCAD&サンプル評価）	30日／4人	詳細内容検討中

注：詳細検討中の項目も多いですし、実習内容のカスタマイズなども対応したいと考えていますので、まずはお問い合わせください。

支援項目	内容（実施例）		備考
回路設計 レイアウト設計	設計研究者と共同研究	d.labのVDECアカデミア研究室(全国)ならびにAIチップ設計拠点(AIDC)を紹介。 ※利用相談にて適切にご紹介	・利用相談(無料)
	単体/小規模集積回路	標準デバイスもしくは利用者が設計した回路を東大武田先端知クリーンルームにて試作・評価。	・必要に応じて別途技術補助料が発生 ・マスクの費用は含まれていません ・利用相談(無料)
回路試作 デバイス評価	中規模集積回路	ゲートアレー(0.18 μ m)の上層配線を利用者が設計。 東京大学武田先端知クリーンルームにて短期間で試作・評価。	・ゲートアレーのノード、上層配線の層数などで価格は変化 ・別途ゲートアレーが必要(費用別途または持ち込み) ・利用相談(無料)
	大規模集積回路	d.lab(VDEC)が提供するシャトルサービス(過去行なったことのあるシャトル)を紹介(一部はアカデミアのみ)。 ※CMOS: 0.18 μ m, 65nm, 40nm, 先端CMOS, 200nm FDSOI, 600nm Bulk/PDSOI	・ノード/チップサイズ等などで価格は変化 ・利用相談(無料)
教育/人材育成	d.labリフレッシュセミナー	d.lab(東京大学システムデザイン研究センター)が開催する設計セミナー	・利用相談(無料) ・詳細は別資料参照

注：回路試作・デバイス評価は、機器利用、利用報告書を提出、実験データを公開の条件の場合を想定しています。

装置のトレーニング(技術補助)は別途費用が発生します。

注：報告書ならびにデータ提供は利用者の希望により決定します(報告書を提出しない場合は自主事業となり利用料は高くなります。)

支援項目	内容（実施例）		備考
回路設計 レイアウト設計	本学で試作する集積回路の設計	イメージセンサ、センサ用AFE、OpAmp等設計実績あり。	・Synopsysツール設計環境提供可。
回路試作	CMOS集積回路試作 最短15日～（マスク製造含む） NMOS集積回路試作 最短5日～（マスク製造含む）	機器利用、技術補助、技術相談 での対応	・センサ、MEMS等の集積化プロセスにも対応可能
デバイス評価	回路・デバイス評価 MOSFET 電気特性測定・評価 CMOS集積回路 特性確認	機器利用、技術補助、技術相談 での対応	・評価期間、内容は相談可。
教育/人材育成	講習会実施環境の提供 （CMOS集積回路作成支援） （10日間）	機器利用(製造装置利用)：10日 技術補助(装置技術補助)：10日 事前準備(機器利用+技術代行)：3日	<ul style="list-style-type: none"> ・講演の方法、内容については事前に相談。 ・1開催あたり。 定員 最大10名程度を想定。
	講習会実施環境の提供 （NMOS集積回路作成支援） （5日間）	機器利用(製造装置利用)：5日 技術補助(装置技術補助)：5日	
	講習会実施環境の提供 （回路・レイアウト・プロセス・評価の簡易体験版） （3日間）	機器利用(製造装置利用)：3日 技術補助(装置技術補助)：3日	

支援項目	内容（実施例）	備考	
回路設計 レイアウト設計	【広大との共同研究ベースでの回路設計支援】 ※現状、半導体産業技術研究所としては、SiC/GaNパワーデバイスのCMOS回路デバイスの研究開発支援を共同研究で推進	各拠点のARIM部門以外との共同研究	
	L-EDIT/MEMS設計用ツール利用	機器利用	オペトレを要する場合は、その時間を技術補助とする
	ツール利用方法指導等	技術補助	
回路試作	広大半導体産業技術研究所の試作ラインを利用した Si-CMOS小規模回路試作 [参考プロセス：ALゲート標準プロセス(2inchウエハ 数枚)] 5umルール程度、Singl-well(Nwell)、N/P Vt1種、リソフ回(マスクレス)、 最短3~4日(利用者熟練度、装置予約状況による)	<ul style="list-style-type: none"> ・利用者一人が、全て自身による装置操作で行うことが前提 ・全工程にスタッフが伴走した場合は、技術補助料が加算されます 	
デバイス評価	半導体パラメータ(B1500) LCRメータ(HP4284,4294) ミックスドシグナルオシ(MSOX4024G)	機器利用	ARIM共用施設登録装置以外の装置に関しては、共同研究費として課金
	同装置の使用方法指導	技術補助	
教育/人材育成	Si-CMOS実習 (5~6日間) レイアウト設計；1日（※自身のレイアウト試作に反映可） 試作体験(※一部工程)；3~4日 デバイス評価；1日		・1開催は、10人程度にて実施
	太陽電池試作/評価 (1~3日間)		

注：価格は、“報告書提出”、“データ提供”の有無により変動します。詳細は、広大ARIM窓口にお問い合わせください。