

単層および多層グラフェンナリボン抵抗変化型メモリの実験的研究： 動作メカニズムの解明へ向けて

東京工業大学¹，慶応義塾大学² 新留 彩^{1,2}，土井岡 優^{1,2}，別府 伸耕^{1,2}，小田 俊理¹，内田 建^{1,2}
東京工業大学量子ナノエレクトロニクス研究センター微細加工ナノプラットフォーム 山口 武



上左：東京工業大学，慶応義塾大学 内田 建
上右：東京工業大学量子ナノエレクトロニクス研究センター微細加工ナノプラットフォーム 山口 武

はじめに

グラフェンは高い移動度 [1] やバンドギャップ制御の可能性 [2] という優れた特徴を持つため次世代ナノスケール電子デバイスへの応用が期待される新材料である。既に多数の報告例があるグラフェン配線 [3]・トランジスタ [4] をグラフェンから作製された不揮発性メモリと組み合わせることにより，高機能グラフェン集積回路の実現が可能になる。また，抵抗変化型メモリは次世代記憶素子として期待されている。

既にグラフェン抵抗変化型メモリの報告例 [5] はあるが，性能のサイズ依存性および微細化可能性は十分に調べられていない。また，化学合成グラフェンでの作製例が多いが，メモリの動作原理がグラフェンの結晶性の不完全性によるものである可能性を除外するため，グラファイトから剥離された良質なグラフェンの使用が好ましい。

そこで本研究では剥離グラフェンを用いて電氣的破壊により作製したグラフェンナリボン抵抗変化型メモリの実験的動作について報告する。微細化を行う為に電子ビーム (EB) 露光を用いることから，東京工業大学量子ナノエレクトロニクス研究センターが所有する電子ビー

ム露光機を用いて作成することとした。幅 30nm まで微細化された素子の動作に成功し，メモリ基本特性・サイズ依存性・動作原理について調査した。

実験手法

図 1 に本研究で用いたグラフェンナリボン素子の構造を示す。これはゲート絶縁膜として 90nm の SiO₂ を使用したバックゲートグラフェントランジスタと同様の構造である。電極材料・グラフェンの層数・チャンネル長 L ・チャンネル幅 W について様々な条件のものを作製した。グラフェンはグラファイト (HOPG) から剥離され，90nm の酸化膜を付けた Si 基板へと転写された。その後 EB 露光および酸素プラズマエッチングにより成形され，ソースおよびドレイン電極が作製された。電極材料には Ti/Au または Cr/Au を使用した。グラフェンの層数は光学顕微鏡を用いたグラフェンおよび基板のコントラストから判定され [6]，Ti/Au 素子については 8 層，Cr/Au 素子については 1 および 6 層であった。

全ての測定は 10⁻²Pa 以下の真空中で電流によるアニール後に行われた。初めにドレイン電流 (I_d) のゲート電圧

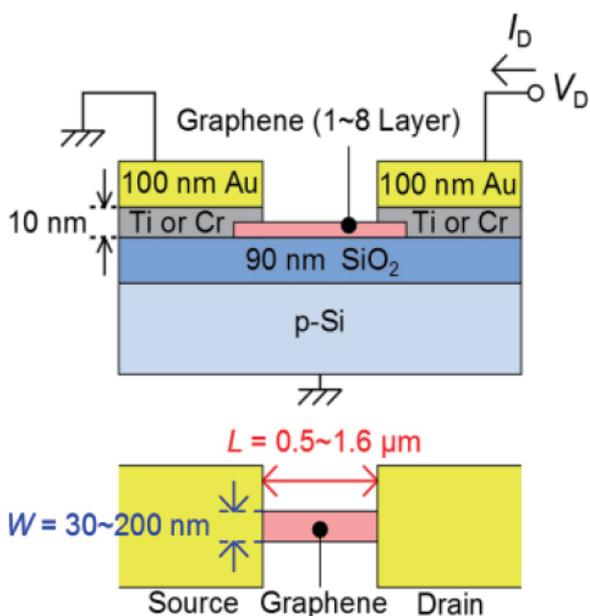


図1 グラフェン抵抗変化型メモリのデバイス構造

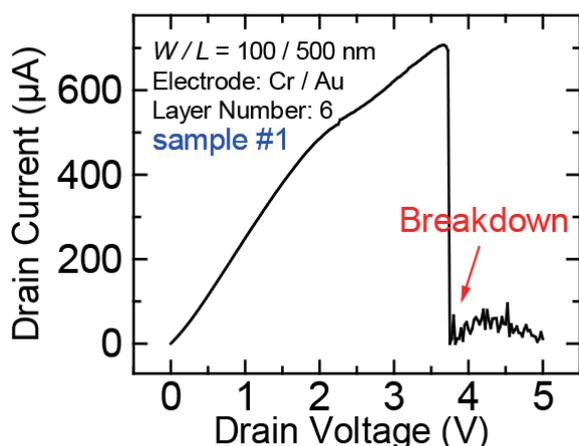


図2 グラフェン抵抗変化型メモリのフォーミング操作. 高いドレイン電圧を印加し、グラフェンを電気的に破壊する.

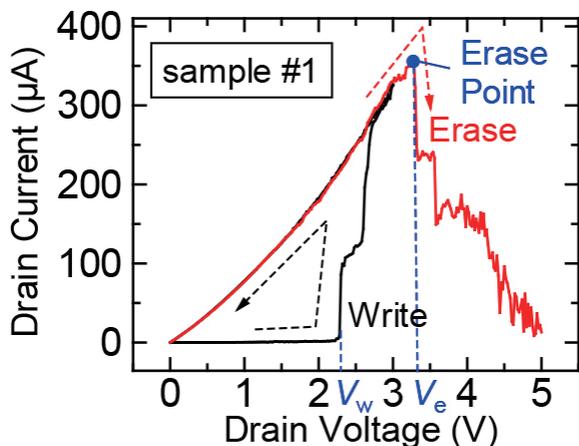


図3 書き込みおよび消去操作を示すドレイン電流-ドレイン電圧特性.

(V_g) 依存性の測定によりグラフェンが理想的な特性を示すことを確認し、その後のメモリ特性の測定では V_g は常に 0V とした. 次に、図 2 に示すような電気的破壊によるフォーミングプロセスが行われ、デバイスは高抵抗状態へと切り替えられた.

結果および考察

基本性能

電気的に破壊されたグラフェンは適切な電圧の印加により抵抗変化型メモリとして機能する. 図 3 はメモリの書き込みおよび消去操作を示している. 破壊後の高抵抗なグラフェンはドレイン電圧 (V_D) を 0V から上昇させると書き込み電圧 (V_w) に到達したときに低抵抗状態に切り替わり、電流値が急激に回復する. この操作が書き込み操作である. 図 3 は消去操作についても示している. 低抵抗状態のデバイスにおいて V_D がさらに増加し消去電圧 (V_e) に到達するとデバイスは再び高抵抗状態に戻る. この操作が消去操作である.

図 4 (a) はメモリの保持特性を表しており、高い抵抗比 10^6 が 10^3 秒以上維持されることを示している. また、図 4 (b) は作製したメモリが 10^2 回以上の書き換え耐性を持つことを示している.

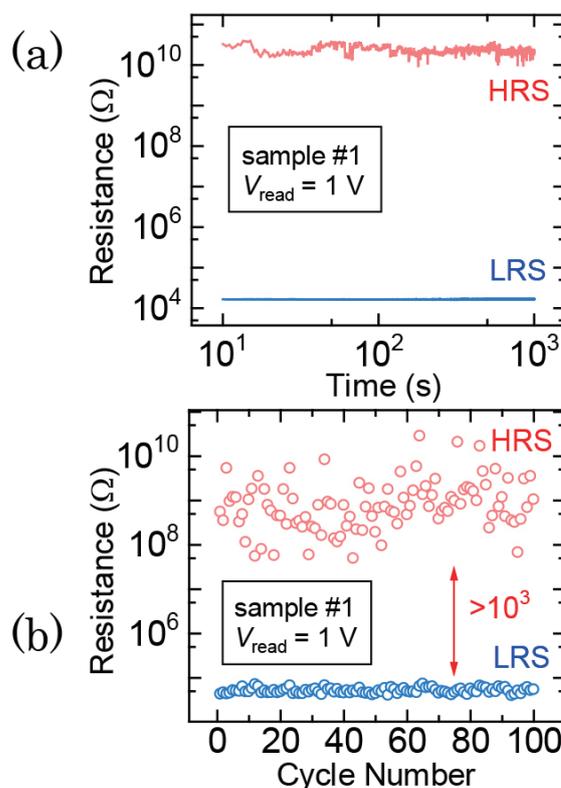


図4 (a) 保持特性. 6桁以上の抵抗差が 10^3 秒以上保持できている. (b) 書き換え耐性.

図5は高抵抗状態のメモリについて抵抗値を消去時間依存性の関数として表したものである。消去操作後の抵抗値は各パルス幅について10回測定されている。パルス幅として最短で30nsでの消去到成功したことが分かる。この30nsという値は測定の限界値に相当する。また、図5から消去時間が短いほど高抵抗状態の抵抗値が高く特性が良いということが分かる。この結果は抵抗変化型メモリの高速度動作に対して大きな可能性を示している。

微細化可能性およびサイズ依存性

次世代LSIには微細化・省電力化の両立が必要となる。そのため、メモリ性能のサイズ依存性は非常に重要である。メモリの使用において最も消費電力が大きい操作は消去操作である。そこで、消費電力の指標として消去操作に必要なエネルギーを取り上げる。

図6は消去エネルギーをチャンネル幅 W の関数として表したものである。このエネルギーは図3に示した V_0 および V_1 における電流値から電力を求め、消去時間を40nsとして求めた。その結果、より狭い W についてより低いエネルギーが得られた。さらに、幅30nmの素子につい

てもメモリ効果が得られることが明らかになった。これはグラフェン抵抗変化型メモリが微細化と省電力化を両立させることが可能であり高集積LSIへの応用に適していることを示している。

動作原理

抵抗変化が起こっている場所として、グラフェン/電極界面・層間相互作用・グラフェン層内・グラフェン/酸化膜界面の4カ所が考えられる。

グラフェン/電極間の効果を調べるため、電極材料の金属を変更した。その結果、図7のようにCr/Auの電極のみではなくTi/Auの電極を使用した素子についても同様のメモリ効果が得られた。この結果は金属の種類がメモリ効果に影響を与えないことを示している。

さらに、層間相互作用が動作原理である可能性を調べるためにこれまで使用していた多層グラフェンの代わりに単層グラフェンを使用した素子についての特性を取得した。図8に示す通り、単層のグラフェンにおいてもメモリ効果が得られたため、層間相互作用はメモリ動作の主要な要因ではないと考えられる。

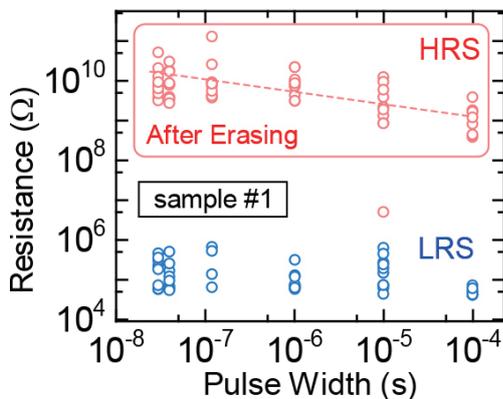


図5 高抵抗状態（HRS）抵抗値の消去パルス幅依存性。

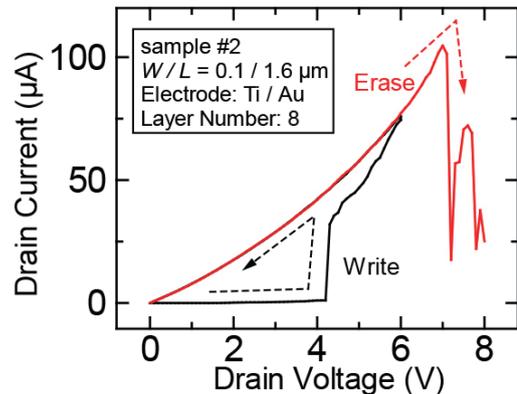


図7 チタン/金電極素子の書き込みおよび消去特性。

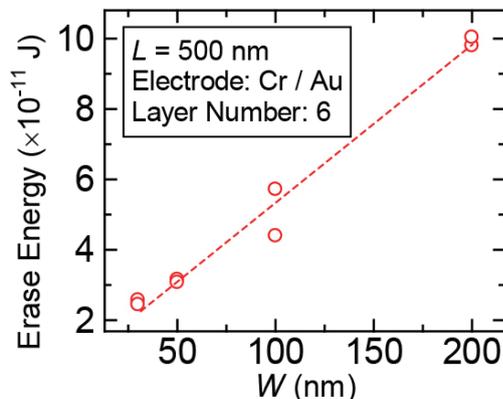


図6 消去に必要なエネルギーのチャンネル幅（ W ）依存性。

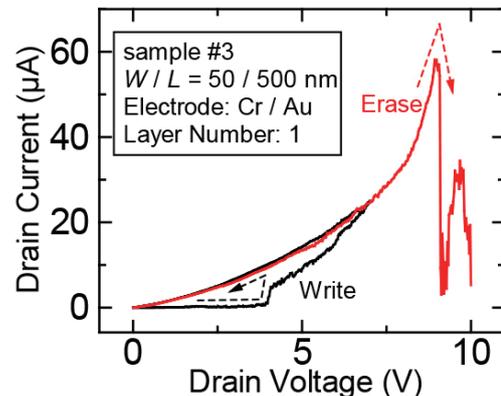


図8 単層素子の書き込みおよび消去特性。

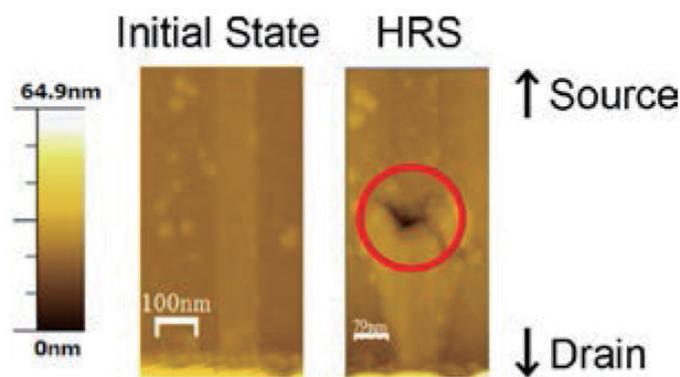


図9 初期（フォーミング前）および高抵抗状態になったグラフェン抵抗変化メモリのAFM像。

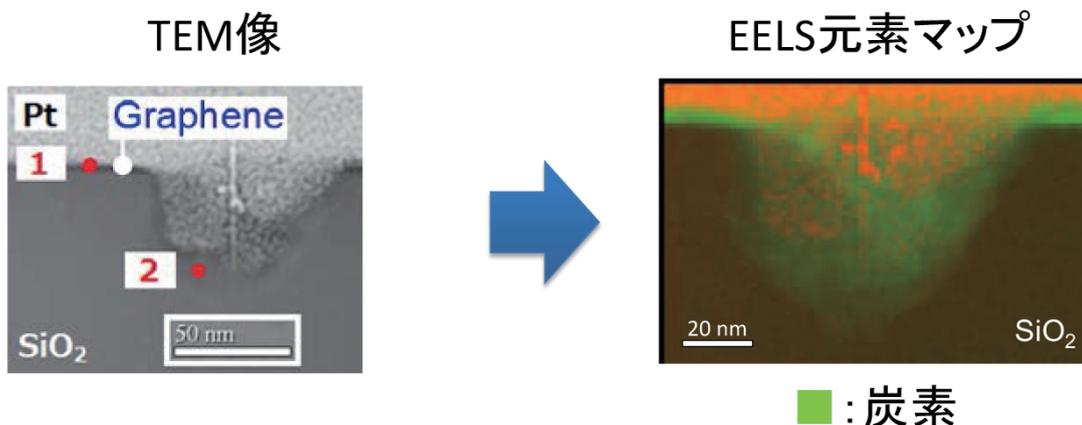


図10 陥没部の断面TEM写真とEELS元素マップ。陥没部のシリコン酸化膜が溶け、陥没部には炭素が分布していることが分かる。

炭素の結合状態について、 sp^3 結合のものは抵抗値が高く sp^2 結合のものは抵抗値が低いということがすでに報告されている [7]。この結合変化は抵抗変化の原理に対する1つの可能性である。すなわち、高抵抗状態が sp^3 結合に、低抵抗状態が sp^2 結合に対応していると考えられる。

また、グラフェン/酸化膜間において炭素と SiO_2 が化学反応を起こし抵抗変化を導いている可能性もある。既にグラフェン酸化物においてメモリ効果の報告例があるため [8]、グラフェンと SiO_2 の化合物がメモリ効果を示すということは十分に考えられる。

電氣的破壊過程における構造変化の有無を調べるため、図9のようなグラフェンナノリボンの破壊前後のAFM像を取得した。2つの状態の比較により、フォーミング過程においてグラフェンナノリボンに断線が生じ、基板が陥没していることが分かる。この結果、メモリ効果がグラフェンチャンネルの変化に起因することが明らかになった。

さらに詳細な物理的構造の調査のため断面TEM像を取得したところ、基板の陥没以外ではグラフェンが良い結晶性を保持していることが明らかになり、さらに陥没部については図10のようなTEM像が得られた。この基板の陥没から、酸化膜はフォーミング時のジュール熱によって溶けだしたと考えられる。 SiO_2 の融点はおよそ $1600^\circ C$

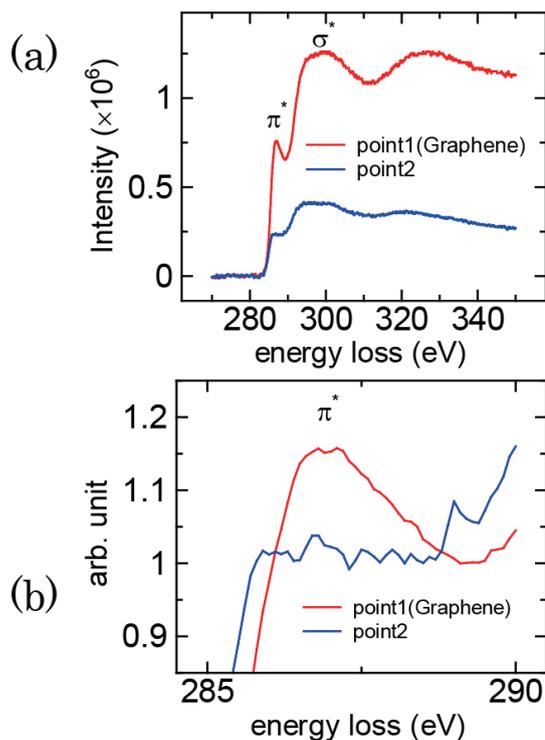


図11 (a) 図10のTEM写真で示した2点におけるEELS特性。(b) 2点の規格化した π^* ピーク

であるから、素子の高抵抗状態への遷移は 1600°C以上の発熱によって引き起こされていると推測できる。

さらに、図 10 に示した 2 点について EELS スペクトルを取得したところ、図 11(a) のような結果となった。また、図 11 (b) に図 11 (a) の π^* ピーク部分を規格化した図を示す。この図から、図 10 の非陥没部中の点 1 よりも陥没部中の点 2 の方がより弱い π^* ピークを持つため、陥没部には炭素の sp^3 結合が多く含まれていることが分かる。また、陥没部に炭素が存在すること、および、陥没部の炭素には C-C 結合のみが存在し、C-O または C-Si 結合は生成されていないということもこの結果から確認された。

これらの結果から、抵抗変化はグラフェンと酸化膜との化合物生成によるものではないと考えられる。そのため、動作原理はフォーミング過程によって形成された陥没部分における炭素の sp^2 結合と sp^3 結合との結合状態変化であると推測できる。



まとめ

単層および多層グラフェンナノリボンにおける抵抗変化型メモリ動作を実験的に確認した。メモリ基本特性および幅 30nm までの微細化可能性を取得し、幅が狭くなる

につれ消費エネルギーが減少することを示した。さらに、メモリの動作原理を炭素の結合状態であると推測した。

本研究は、内閣府の最先端・次世代研究開発支援プログラムにより助成を受けている。本研究実施にあたり、支援いただいた東京工業大学ナノテクノロジープラットフォームに対し心より感謝申し上げます。



参考文献

- [1] K. I. Bolotin et al., *Solid State Commun.*, **146**, pp. 351, 2008
- [2] M. Y. Han et al., *Phys. Rev. Lett.*, **98**, pp.206805, 2007
- [3] C. Xu et al., *IEEE Trans. Electron Devices*, **56**, pp.1567, 2009
- [4] K. S. Novoselov et al., *Science*, **306**, pp.666, 2004
- [5] C. He et al., *ACS Nano*, **6**, pp.4214, 2012
- [6] K. Nagashio et al., *Appl. Phys. Express*, **2**, pp.025003, 2009
- [7] F. Kreupl et al., *IEDM Tech. Dig.*, pp.521, 2008
- [8] C. L. He et al., *Appl. Phys. Lett.*, **95**, pp.232101, 2009

(東京工業大学、慶応義塾大学 内田 建)



【お問い合わせ】

微細加工プラットフォーム

東京工業大学

☎ 03-5734-2572

E-mail miya@pe.titech.ac.jp

ホームページ

http://www.pe.titech.ac.jp/qnerc/nano_support/index-j.html