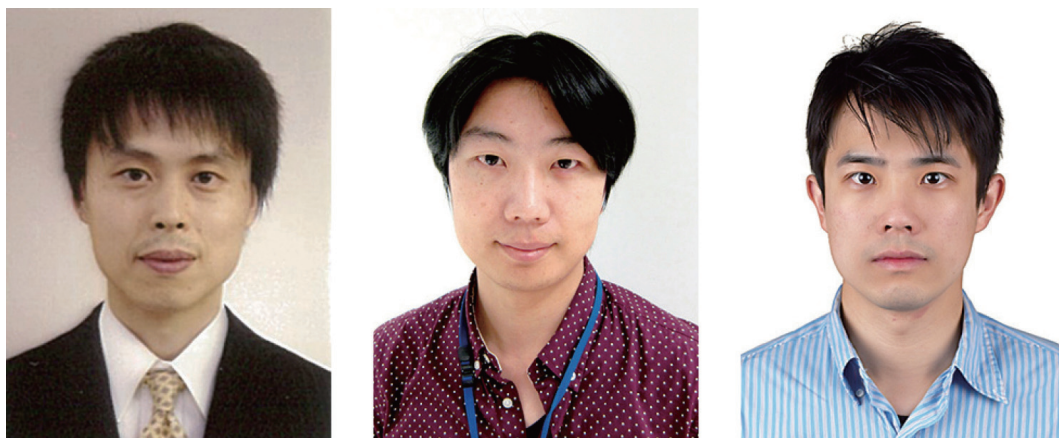


## 有機トランジスタにおけるコンタクト構造最適化への取り組み

慶應義塾大学 理工学部 電子工学科 野田 啓

産業技術総合研究所 ナノプロセッシング施設 山崎 将嗣, 郭 哲維



上左：慶應義塾大学 理工学部 電子工学科 野田 啓  
上中央，右：産業技術総合研究所 ナノプロセッシング施設 山崎 将嗣, 郭 哲維



### 1. はじめに

有機系エレクトロニクス分野の進展は著しく、有機電界発光 (EL) ディスプレイや照明が商品化される段階となってきた。しかしながら、将来のプリントエレクトロニクス実現に向けて、それらの駆動を担う基盤素子とも言える有機電界効果トランジスタ (Organic Field-Effect Transistor: OFET) については、デバイス動作の再現性・安定性が未だ実用レベルに届いていないのが現状である。OFET のデバイス特性上、特に問題となっているのが、コンタクト電極 (ソース・ドレイン) と有機半導体層の界面に生じる (主にキャリア注入障壁に由来する) コンタクト抵抗である。このコンタクト抵抗が著しく大きい状況下でトランジスタの電気特性を測定してしまうと、求められるキャリア移動度の値が実際のチャンネル部の移動度よりも低く見積もられてしまう。その結果、有機半導体の本来の性能を引き出せていないだけでなく、様々な論文で報告されている OFET のキャリア移動度に大きなばらつきが生じている。すなわち、有機半導体材料の重要な物性パラメータであるキャリア移動度の値について、OFET 開発者の中で信頼性の高い情報として取り扱うことが困難な状況に陥っており、OFET の研究開発に

おける大きな障害となっている。従って、コンタクト抵抗の低減は、OFET の高性能化を達成する上で克服すべき重要課題として広く認識されている。

この背景の下、著者らは OFET におけるコンタクト抵抗低減につながる知見を得ることを目的とした研究を展開している。1つはソース・ドレイン電極周辺 (コンタクト領域近傍) における分子ドーピングであり、デバイスシミュレーションによる素子構造設計と実際のデバイス作製評価を併用して、分子ドーピングがコンタクト抵抗の低減に大変効果的である事を示してきた。また最近では、コンタクト電極の形状そのものがコンタクト抵抗に及ぼす影響を議論するための実験を実施している。本稿では、それらの取り組みについてご紹介する。

なお、コンタクト電極の形状がコンタクト抵抗に及ぼす影響を調査する上で必要となるフォトマスク並びに電極チップの作製については、ナノテクノロジープラットフォーム試行的利用事業の技術代行サービスを利用させていただきました。微細加工プラットフォームのナノテク・コーディネータの方が、事前に産業技術総合研究所 (産総研) の支援担当者の方と詳細なプロセスについて打ち合わせて下さったおかげで、支援の実施が円滑に行われました。ここに心より御礼申し上げます。



## 2. OFET におけるコンタクト領域へのドーピング効果

OFET の性能を向上させる手法の一つとして、コンタクト電極と有機半導体層界面に電子供与性（ドナー性）や電子受容性（アクセプタ性）の分子がドーピングされた層を成膜することが提案されている。実際に、ボトムゲート・トップコンタクト (BGTC) 型 p チャンネル OFET に対し、電極/有機薄膜界面にアクセプタ分子をドーピングすることで、キャリア注入が促進された例が報告されている [1][2][3][4]。しかしながら、この分子ドーピングによる OFET の特性向上が (i) 有機半導体におけるキャリア濃度の増加に起因する、もしくは (ii) ドーパントと電極間の電荷移動相互作用によるキャリア注入障壁の低減が効いている、のいずれの機構が支配的なのかが、未だ明確ではない。また、将来的には、デバイス集積化が容易なボトムコンタクト型素子に対しても、このドーピング手法を適用していく必要がある。そこで著者らは、実験とデバイスシミュレーションの両観点から、p チャンネル型のボトムゲート・ボトムコンタクト (BGBC) 型 OFET への分子ドーピング効果について検証した。

### 【BGBC-OFET の素子構造】

研究対象とした素子構造を図 1 に示す。p チャンネル BGBC-OFET において、ドーパントとなるアクセプタ分子が電極表面に直接吸着することに伴うアクセプタ/電極間の電荷移動相互作用を防ぐため、高キャリア濃度層 ( $p^+$ ) を電極表面から 10nm ほど離れた位置に設けている。この構造により、 $p^+$  層が OFET のデバイス特性に与える影響をより明確に議論できるものと期待される。

### 【デバイスシミュレーションについて】

デバイスシミュレータ (Thin-film Organic Transistor Advanced Simulator: TOTAS) [5] を用いて BGBC-OFET における電流・電圧特性、電位分布、キャリア濃度分布の計算を行った。なお、このシミュレーションでは接触抵抗やトラップ準位等の外因的効果を考慮していない。今回、シミュレーションに用いた各パラメータを表 1 に示す。

シミュレーションの結果について説明する。図 2 の出力特性の計算結果を見ると、 $p^+$  層を有する素子では、 $p^+$  層を有しないリファレンス試料よりもドレイン電流が増加することが予想される。また、図 3 に示したゲート絶縁膜/半導体界面 (チャンネル層) でのホール濃度を見る

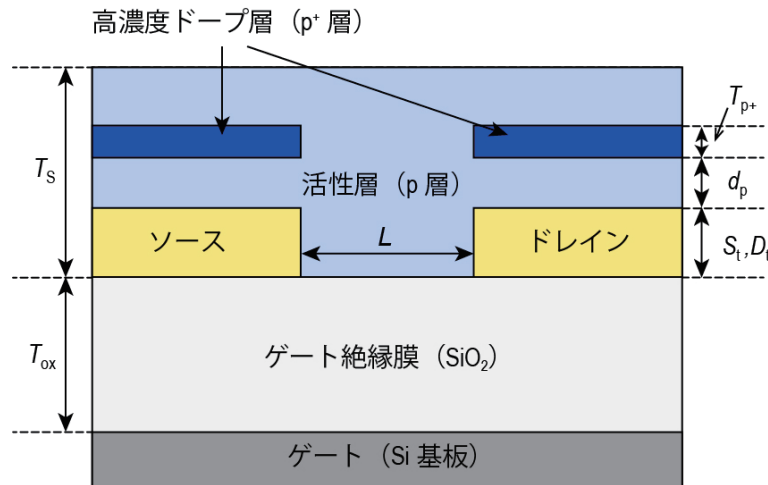


図 1 ソース・ドレイン電極直上に高濃度ドーピング層を有する BGBC-OFET の素子構造図。

表 1 デバイスシミュレーションで用いた OFET の構造及び物性パラメータ。

| Parameter   | value                                       | Parameter                               | value                     |
|---|---|---|---------------------------|
| チャンネル長 ( $L$ )  | 50 $\mu\text{m}$                            | p 型半導体層の比誘電率 ( $\epsilon_{\text{ox}}$ ) | 3.0                       |
| ゲート電極の長さ ( $G$ )  | 150 $\mu\text{m}$                           | p 層のドーパント濃度 ( $p$ )                     | $10^{15} \text{ cm}^{-3}$ |
| チャンネル幅 ( $W$ )  | 1 mm  | $p^+$ 層の膜厚 ( $T_{p^+}$ )                | 5 nm                      |
| ソース・ドレイン電極の長さ ( $S_t, D_t$ )                              | 50 $\mu\text{m}$                            | $p^+$ 層のドーパント濃度 ( $p^+$ )               | $10^{19} \text{ cm}^{-3}$ |
| ソース・ドレイン電極の膜厚 ( $S_t, D_t$ )                              | 25 nm                                       | $p^+$ 層/コンタクト電極間距離 ( $d_p$ )            | 10 nm                     |
| ゲート絶縁膜( $\text{SiO}_2$ )の膜厚 ( $T_{\text{ox}}$ )           | 300 nm                                      | ソース電圧 ( $V_s$ )                         | 0                         |
| ゲート絶縁膜( $\text{SiO}_2$ ) の比誘電率 ( $\epsilon_{\text{ox}}$ ) | 3.9   | ドレイン電圧 ( $V_d$ )                        | 0 to -50 V                |
| p 型半導体のホール移動度 ( $\mu$ )                                   | $5.0 \times 10^{-2} \text{ cm}^2/\text{Vs}$ | ゲート電圧 ( $V_g$ )                         | 0 to -25 V                |
| p 型半導体層の膜厚 ( $T_s$ )                                      | 50 nm                                       |   |                           |

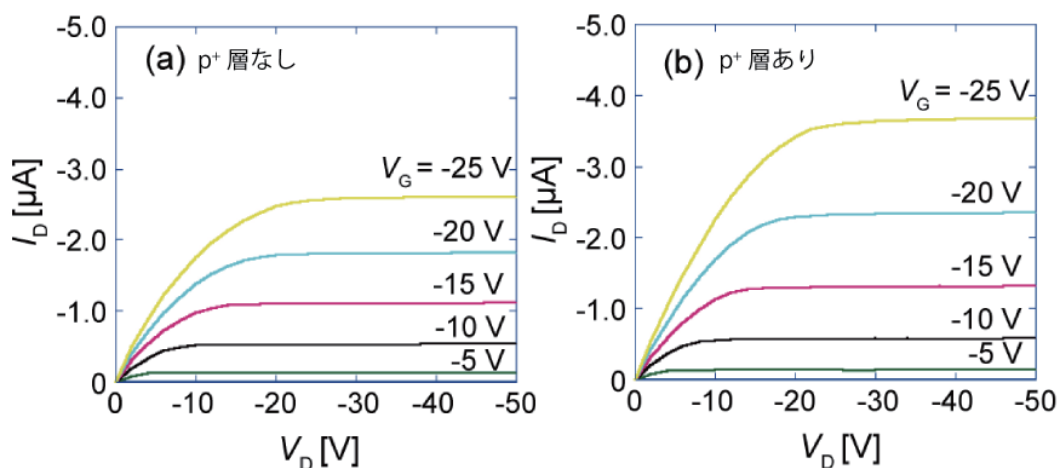


図2 BGBC-OFET の出力特性のシミュレーション結果：(a) p<sup>+</sup>層がない場合 (b) p<sup>+</sup>層がある場合。

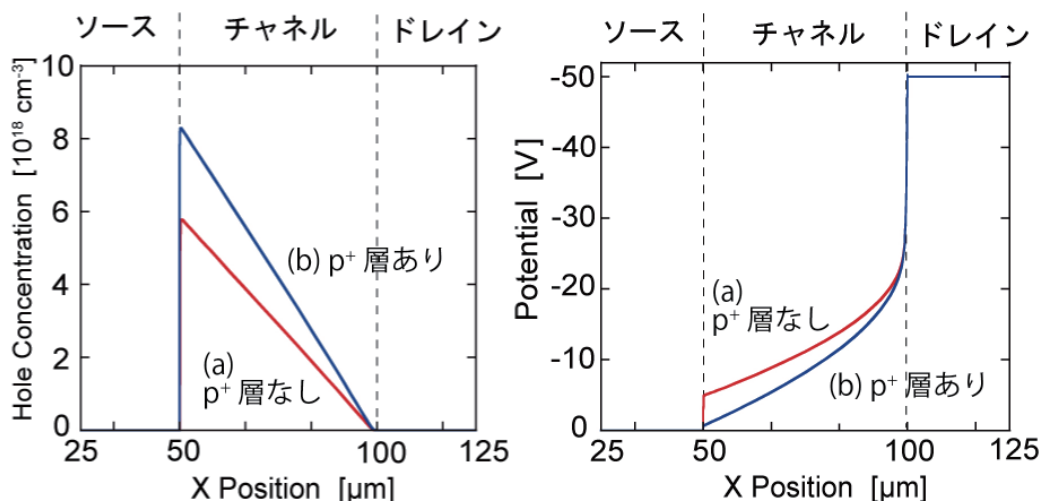


図3 BGBC-OFET におけるチャネル部のホール濃度分布とポテンシャル分布のシミュレーション結果：  
(a) p<sup>+</sup>層がない場合 (b) p<sup>+</sup>層がある場合。

と、p<sup>+</sup>層を有する試料の方がゲート電圧印加時に、チャネル部にホールがより蓄積されていることが見て取れる。またそれに伴い、ソース電極/チャネル界面での電圧降下も減少している。これらのシミュレーション結果から、コンタクト電極の直上にp<sup>+</sup>層を導入することで、ソース電極/チャネル界面にキャリアが多数供給され、それがドレイン電流の増加に寄与しているものと考えられる。

#### 【実験によるシミュレーション結果の検証】

シミュレーションを行ったデバイスと同様な構造を有するOFET素子を作製し、その電気特性評価を行った。本研究ではp型半導体材料としてペンタセンとオリゴチオフェン6量体(α-6T)、ドーパントとして強力なアクセプタ分子であるフッ素化テトラシアノキノジメタン(F<sub>4</sub>TCNQ)を用いた。

まず、ペンタセン薄膜FETの作製条件について述べる。

膜厚300nmの熱酸化膜を有する高濃度ドーブSi基板上に、シャドーマスクを用いてソース/ドレイン電極として膜厚25nmの金を成膜した。次に、金電極上に真空蒸着法により膜厚10nmのペンタセン、膜厚5nmのペンタセンとF<sub>4</sub>TCNQの共蒸着層(p<sup>+</sup>層)の順に成膜した。この時、ペンタセンとF<sub>4</sub>TCNQとの混合比は、蒸着時に水晶振動子膜厚計をモニタリングしながら約3:1とした。最後に膜厚50nmのペンタセン層の成膜を行い、BGBC型OFETを作製した。また、比較対照用の試料として、p<sup>+</sup>層を有しないOFET試料も同時に作製した。なお、蒸着時の基板温度は室温とした。

オリゴチオフェン6量体(α-6T)に対しても同様なBGBC-OFETデバイスを作製したが、有機半導体成膜前にオクタデシルトリエトキシシランを用いてSiO<sub>2</sub>熱酸化膜の表面処理を行った。また、α-6TとF<sub>4</sub>TCNQの混合比は、約4:1とした。

ペンタセン及び F<sub>4</sub>TCNQ を用いて作製した BGBC-OFET の電気特性を図 4 に示す。出力特性においては p<sup>+</sup> 層を有する素子のドレイン電流値は大幅に増加している。また、伝達特性から、飽和領域におけるドレイン電流 (I<sub>D</sub>) - ゲート電圧 (V<sub>G</sub>) の関係式により得られる実効的な電界効果移動度及びしきい値電圧は、リファレンス試料では 3.0 × 10<sup>-2</sup> cm<sup>2</sup>/Vs, 3.1V, p<sup>+</sup> 層付き試料では 2.4 × 10<sup>-2</sup> cm<sup>2</sup>/Vs, -1.5V となり、ドレイン電流の増加により、実効的な電界効果移動度の増加が生じた。また、p<sup>+</sup> 層の導入にもかかわらず、しきい値電圧は正の方向にはシフトしなかった。これはチャンネル部に直接アクセプタ分子がドーピングされた時の挙動とは大きく異なり [6], 作製した OFET 試料においては p<sup>+</sup> 層の領域がコンタクト電極直上に限定されたものと考えられる。

また、α-6T 及び F<sub>4</sub>TCNQ を用いて作製した BGBC-OFET の電気特性 (図 5) においても、出力特性では p<sup>+</sup> 層を有する素子のドレイン電流値は大幅に増加した。実効的な電界効果移動度及びしきい値電圧は、リファレンス試料では 1.4 × 10<sup>-4</sup> cm<sup>2</sup>/Vs, 0.1V, p<sup>+</sup> 層付き試料では 1.3 × 10<sup>-3</sup> cm<sup>2</sup>/Vs, 0.8V となり、ペンタセンの時と同様、p<sup>+</sup> 層の導入により、実効的な電界効果移動度が増大した。

今回作製した p チャネル型 OFET については、ホール移動度が小さく、また出力特性の非線形な立ち上がりに

見られるショットキー障壁の影響、伝達特性の注入型ヒステリシスに見られるキャリアトラップの影響等の外因的効果が現れている。しかしながら、定性的には、シミュレーションと一致する結果が得られており、有機半導体におけるキャリア濃度制御と本研究で提案する素子構造を組み合わせる事によって、ボトムコンタクト型 OFET の更なる特性向上が大いに期待される [7][8]。



### 3. OFET におけるコンタクト電極形状の最適化

OFET におけるコンタクト抵抗の評価手法として最も広く用いられているのが TLM (Transmission Line Method) である [9][10]。本手法では、同一基板表面内に、ギャップ長の異なる矩形電極パターンを直線状に配列し、その電極パターン上に形成される半導体膜の電界効果トランジスタ特性の測定を行う。そのデータを基に、線形領域動作下でのソース・ドレイン間抵抗とソース・ドレイン間隔の相関をグラフ化することで、コンタクト抵抗と電界効果移動度を同時に求めることができる。この矩形電極パターン使用時の問題点として、コンタクト電極と半導体層との間に存在するコンタクトエッジが、不用

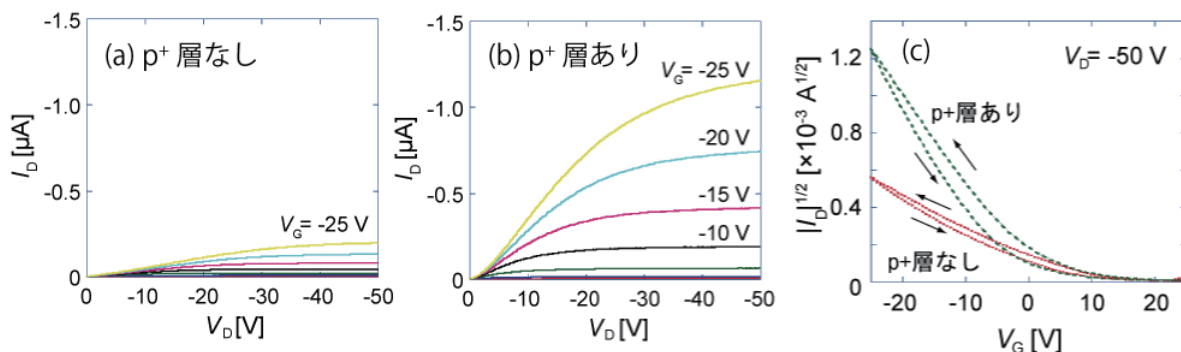


図 4 実際に作製したペンタセン薄膜 FET の電気特性。  
(a) 高濃度ドーピング層を持たない素子の出力特性 (b) 高濃度ドーピング層 (p<sup>+</sup> 層) を有する素子の出力特性 (c) 両方の素子の伝達特性。

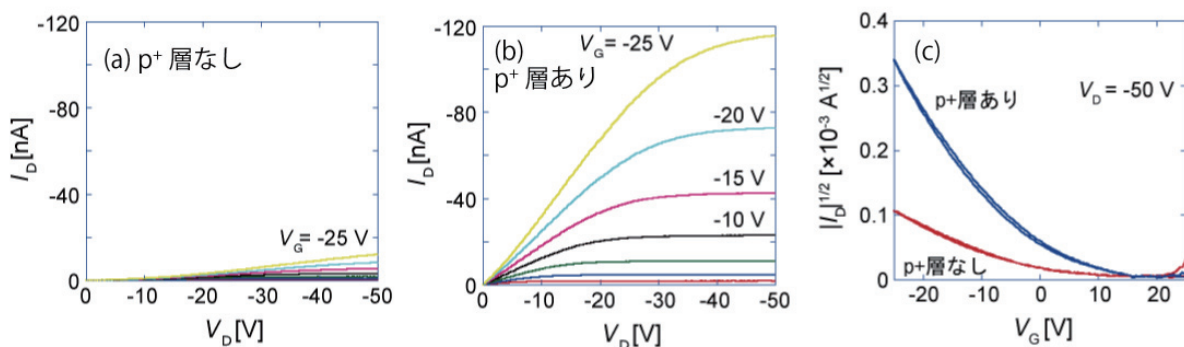


図 5 実際に作製した α-6T 薄膜 FET の電気特性。  
(a) 高濃度ドーピング層を持たない素子の出力特性 (b) 高濃度ドーピング層 (p<sup>+</sup> 層) を有する素子の出力特性 (c) 両方の素子の伝達特性。

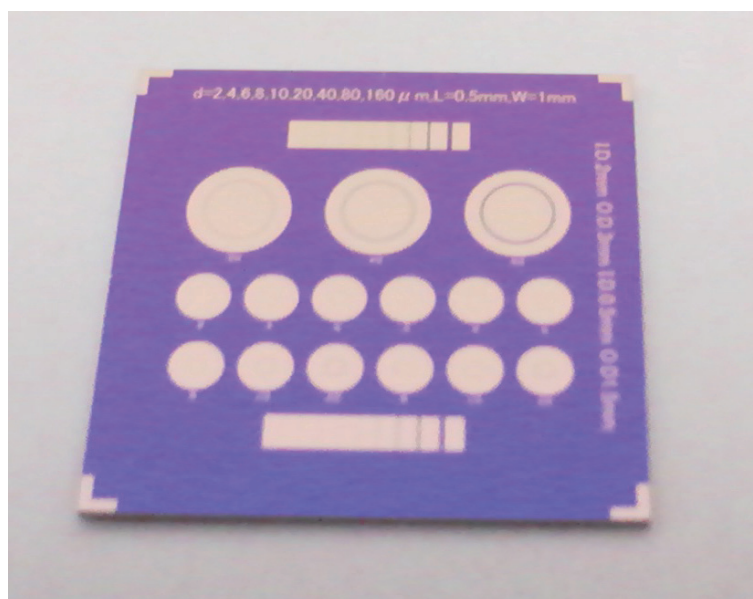


図6 矩形状及び同心円状電極パターンを有する電極チップの写真。

な電流パスを形成してしまい、コンタクト抵抗の測定値に大きな誤差が生じる点が挙げられる。その解決策として、矩形状ではなく同心円状の電極パターンを採用することでコンタクトエッジの効果を抑制し、より正確なコンタクト抵抗の評価ができることが1980年代に既に提案、実証されている[11]。しかし、無機半導体材料に対する評価結果がほとんどであり、有機半導体材料に対して適用された例は今日に至るまで全く見当たらない。

そこで本研究では、異なる電極ギャップ長(2 μm ~ 160 μm)を有する同心円状及び矩形状のソース・ドレイン電極パターン(図6参照)を設計し、フォトマスクを作製した。その後、産総研ナノプロセス施設(NPF)のコンタクトマスクアライナー(MJB4)を用いて、300nm厚の熱酸化膜を有する高濃度ドーピングシリコンウェハー(3インチ)表面に、電極パターンの転写を行った。引き続き、同じく産総研NPFの真空蒸着装置(電子ビーム加熱型)によりTi(膜厚5nm)及びAu(膜厚30nm)の堆積を行い、リフトオフプロセスにより、Au/Ti電極パターンをSiO<sub>2</sub>表面に形成した。最後に、産総研NPFのダイシングソーを用いて、複数の電極チップに分割した。

作製した電極チップ(1.5cm角)には図6に示す通りの同心円状及び矩形状の金電極パターンが形成されており、電極チップの歩留まりは、ほぼ100%であった。この電極チップ基板上にOFET素子を作製し、その評価を進めている。その結果の詳細については、論文投稿を控えていることもあり、別の機会に改めて報告したい。



#### 4. おわりに

本研究では、コンタクト電極直上に高濃度ドーピング層を

有するBGBC型OFETを提案し、デバイスシミュレーションと実験の両観点から、分子ドーピングがトランジスタ特性に与える影響について調査及び考察を行った。従来のOFETでは、トップコンタクト型と比較して、ボトムコンタクト型で特性が劣る例が数多く報告されているが、その原因はチャンネル部へのキャリアの供給が不足していることに起因しており、分子ドーピングによってその問題が解消されることが示された。今後、コンタクト電極形状の最適化と共に、高い信頼性を有するドーピング技術等のキャリア濃度制御に着目した研究開発が、有機半導体デバイス分野において益々重要になるものと思われる。本支援で開発されたコンタクト抵抗の精密評価技術が、OFETの高性能化・高信頼化、ひいては実用化への道を拓くものと信ずる。



#### 参考文献

- [1] R. Schroeder, L. A. Majewski, and M. Grell, Appl. Phys. Lett. **84** (2004) 1004.
- [2] K. Fujimori, K. Shigeto, T. Hamano, T. Minari, T. Miyadera, K. Tsukagoshi, and Y. Aoyagi, Appl. Phys. Lett. **90** (2007) 193507.
- [3] J. Li, X.-W. Zhang, L. Zhang, K.-ul-Haq, X.-Y. Jiang, W.-Q. Zhu, and Z.-L. Zhang, Solid State Commun. **149** (2009) 1826.
- [4] S. P. Tiwari, W. J. Potscavage, Jr., T. Sajoto, S. Barlow, S. R. Marder, and B. Kippelen, Org. Electron. **11** (2010) 860.
- [5] Y. Ishikawa, Y. Wada, and T. Toyabe, J. Appl. Phys. **107** (2010) 053709.

- [6] Y. Abe, T. Hasegawa, Y. Takahashi, T. Yamada, and Y. Tokura, Appl. Phys. Lett. **87** (2005) 153506.
- [7] Y. Wakatsuki, K. Noda, Y. Wada, T. Toyabe, and K. Matsushige, J. Appl. Phys. **110** (2011) 054505.
- [8] K. Noda, Y. Wakatsuki, Y. Yamagishi, Y. Wada, T. Toyabe, and K. Matsushige, Jpn. J. Appl. Phys. **52** (2013) 021602.
- [9] T. Minari, T. Miyadera, K. Tsukagoshi, Y. Aoyagi, and H. Ito, Appl. Phys. Lett. **91** (2007) 053508.
- [10] Y. Xu, R. Gwoziecki, I. Chartier, R. Coppard, F. Balestra, and G. Ghibaudo, Appl. Phys. Lett. **97** (2010) 063302.
- [11] G.S.Marlow and M. B. Das, Solid-State Electronics, **25** (1982) 91.
- (慶應義塾大学 理工学部 電子工学科 野田 啓)



**【お問い合わせ】**

微細加工プラットフォーム

産業技術総合研究所

☎ 029-861-3210

E-mail [npf-info-ml@aist.go.jp](mailto:npf-info-ml@aist.go.jp)

ホームページ

<https://nanoworld.jp/npf/>