



文部科学省ナノテクノロジープラットフォーム 平成 29 年度技術スタッフ表彰 技術支援貢献賞 CMOS 集積回路 -MEMS 試作支援

受賞者代表 北九州産業学術推進機構 微細加工プラットフォーム 安藤 秀幸 氏に聞く

文部科学省ナノテクノロジープラットフォーム事業では、全国 37 の研究機関で最先端ナノテクノロジー設備の利用機会を産学官の研究者に対して提供している。最先端研究設備の有効利用には、設備の特徴を熟知して整備し、利用者には使用ノウハウを提供する技術支援スタッフの存在が大きな支えになっている。平成 29 年度の技術支援貢献賞は、公益財団法人 北九州産業学術推進機構 (Kitakyushu Foundation for the Advancement of Industry, Science and Technology, 以下、FAIS と略記) 産学連携統括センター 微細加工プラットフォームの高度専門技術者 安藤 秀幸 (あんどう ひでゆき) 氏、と同 竹内 修三 (たけうち しゅうぞう) 氏に贈られた [1]。受賞テーマは「CMOS (Complementary MOS; 相補型 MOS) 集積回路 -MEMS (微細電気機械システム) 試作支援」である。そこで今回、受賞した優れた業績についてお二人の受賞者を代表して安藤 秀幸氏にお話を伺った。なお、FAIS の産学連携統括センター 産学連携担当課長 上野 孝裕氏の同席も頂いた。



FAIS 共同研究開発センターにて安藤 秀幸氏(右奥)と竹内 修三氏(左手前)



1. FAIS 共同研究開発センターでの CMOS 集積回路 -MEMS 試作支援 [2]

1.1 CMOS 集積回路と MEMS 微細加工で、設計・製作・評価の一貫した研究開発環境

微細加工プラットフォームが設置されている FAIS の共同研究開発センターは、図 1 に示したように北九州市若松区にある北九州学術研究都市 (KSRP: Kitakyushu Science and Research Park)[3] の中心部にある。FAIS は、KSRP に集積した大学・研究機関・企業群の一体的運営や、大学等の研究シーズと企業のニーズをつなぐ産学連携コーディネート活動に取り組む組織で、2001 年に設立された。第 3 章で紹介する「ニューラル学習回路」試作の利用者である九州工業大学大学院 生命体工学研究科は、図 1 上の写真で共同研究開発センターの道を挟んで向かい側に位置している (右側の大きな建屋)。共同研究開発センターは、図 1 下にあるように 2 階建ての建物で、1 階に IC 設計・プロセス設備室、2 階は研究室になっている。

共同研究開発センターは、微細加工プラットフォームとして CMOS プロセス (1 μ m プロセス) と MEMS 微細加工の試作ができ、技術支援スタッフの手厚いサポートで利用者の研究開発に貢献している。

図 2 は、共同研究開発センター 1 階の施設概略を示したもので、廊下を挟んで上側にイエロールーム (紫外線露光、電子線描画など) とケミカルプロセス室 (成膜、



図1 北九州学術研究都市の中心に位置する FAIS 共同研究開発センター



図2 FAIS 共同研究開発センター内の CMOS-MEMS 試作施設

イオン注入などのクリーンルームが並んでいる。下側は、レイアウト設計室（フォトマスク設計 CAD ほか）、組立測定室（プリント基板製作、IC 電気特性評価ほか）などがある。図2の右下に、1時間当たりの利用料金が記載されているが、公共団体や大学などの営利を主たる目的としない利用の場合は半額料金で利用できる。なお、利用できる設備の詳細情報は [2][4] を参照されたい。

1.2 共同研究開発センターでの技術スタッフの厚い支援と利用状況

安藤氏と竹内氏は、微細加工プラットフォームの高度

専門技術者であり、共同研究開発センターの中核スタッフとして技術開発、試作支援と利用者教育に当たっている。安藤氏は CMOS 作製プロセスの立ち上げ、IC 試作を主として担当し、竹内氏は MEMS の試作と組立・解析を中心に担当している。

図3は CMOS-IC の試作例で、直径 2 インチ (5cm) の Si ウェーハ上に 6 種類の試作チップが作製されている。複数の利用者が“相乗り”して、試作費用を抑えている利用例である。“相乗り”はチップ単位だけでなく、1チップの中で複数のユーザが混在しているケースもある。デジタル回路 IC・アナログ回路 IC の両方の試作が可能であるが、1 μ m プロセスなのでアナログ IC の試作を得意とし

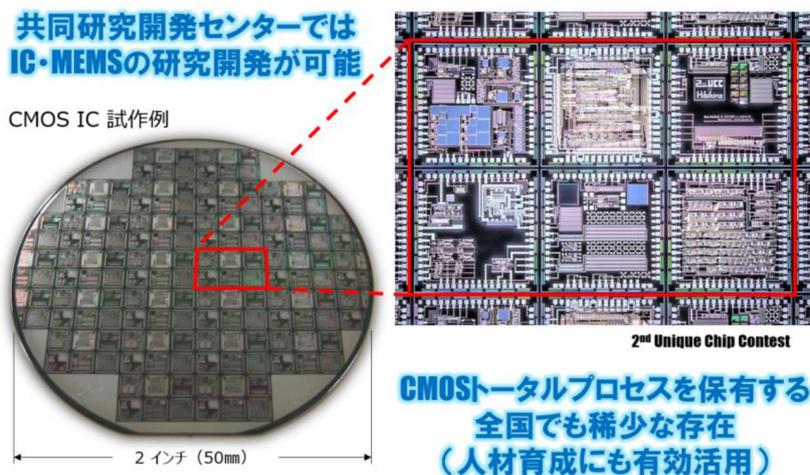


図3 FAIS 共同研究開発センターでの CMOS“相乗り IC”試作例

ている。CMOS プロセスではマスク数 15 枚、回路シミュレータ用の SPICE モデルとしてはレベル 49 まで対応しており、CMOS プロセスに応じてモデルに必要なパラメータ値を抽出し利用者に提供している。

MEMS 微細加工技術支援では、Si 系材料を主体とした三次元構造体（マイクロブリッジ・カンチレバー・SiN 自立膜等）や、マイクロ変位センサの製作など、Si プロセスの他、水晶・石英・サファイア基板などを使った様々な MEMS デバイスの研究開発を支援している。

共同研究開発センターでは、年間で 40～50 テーマの試作や加工を実施している。CMOS の一連の試作プロセスを通すには約 2 週間かかり、試作の回数としては年 4～5 回である。利用者は、基本的には自ら装置を操作してプロセスを通す。そのために、装置の使い方を技術スタッフが事前に教育し、試作時には技術スタッフが一緒に操作するようにしている。プロセス条件の情報は開示して、その条件に沿ってプロセスを通してもらう。「試作プロセスを通すには神経を使うし、失敗も多い。しかし、仕様書だけもらって試作する技術代行はしないので、人材育成に重点を置いた運用をしています」と、安藤氏は語った。



2. 試作成果事例 (1) ; 1 チップ脈波センサ・接触圧センサ

2.1 九州大学ナノマイクロ医工学研究室の研究開発目標

受賞した「CMOS 集積回路-MEMS 試作支援」の第 1 の成果事例として、九州大学大学院工学研究科 機械工学部門のナノマイクロ医工学研究室が利用者である 1 チップ

脈波・接触圧センサを紹介する。澤田 廉士教授が率いるナノマイクロ医工学研究室では、レーザー光を使った超小型の変位センサをベースに、血管動態測定センサなどを開発して、ヘルスケア分野に貢献することを目標としている。NanotechJapan Bulletin (Vol. 10, No. 1, 2017) で、超小型変位センサ・剪断力センサ・レーザドップラー血流センサ・脈波センサなどについて取材報告した [4]。今回はその後の発展として、脈波と、指とセンサ間の接触圧を 1 チップのセンサで同時に測定可能にした試作を報告する。

図 4 は、脈波センサ・接触圧センサを 1 チップ化した概略構成図である。指先をセンサに押し当てて測定する。センサチップの中央に光源の LED (Light Emitting Diode, 波長 850nm)、その両脇に脈波測定用の光検出素子 (PD: Photo-Detector) と接触圧測定用の PD を設ける。指先内部の血管を流れる血流は心臓の鼓動に伴って脈を打っており、血管の収縮・拡張によって血液の吸光度が変化するので、LED 光が血管にあたって反射して戻ってくる反射光量を PD で検出すれば、脈波がセンシングできる。脈波センサで検出する光量は、指先をセンサカバーへ押し付ける接触圧にも依存するので、接触圧を同時に測定しておくことが重要である。接触圧は、カバー裏面の反射膜で LED 光が反射し、その反射光を接触圧用 PD で検出してセンシングする。カバーとセンサチップ間をゴムシートで支えているので、指先からの圧力でカバーの反射膜位置が上下に変位し、変位量に応じて反射光量が変化するので検出する。

2.2 FAIS による試作支援と試作結果

図 5 は、FAIS 共同研究開発センターの 1 μ m CMOS プロセスで試作した脈波・接触圧センサチップである。中

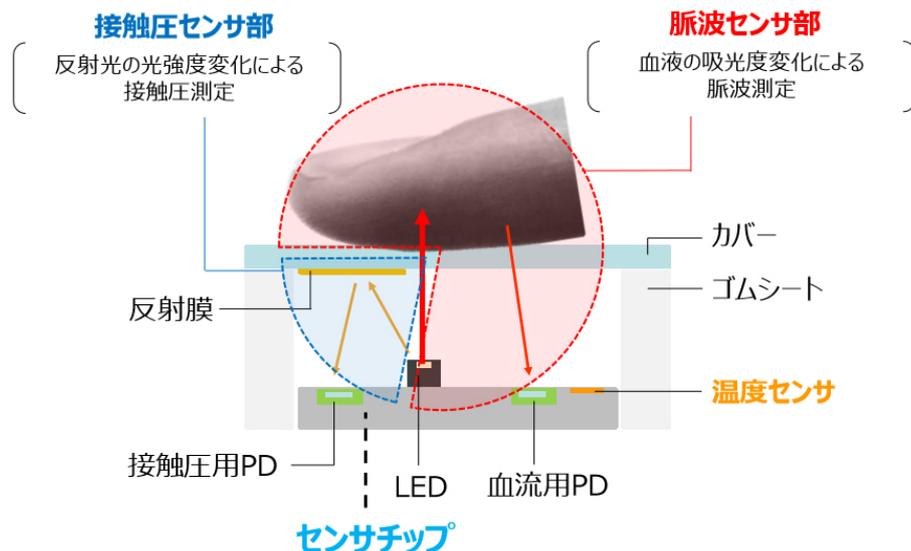


図 4 脈波センサ・接触圧センサの概略構成コンセプト

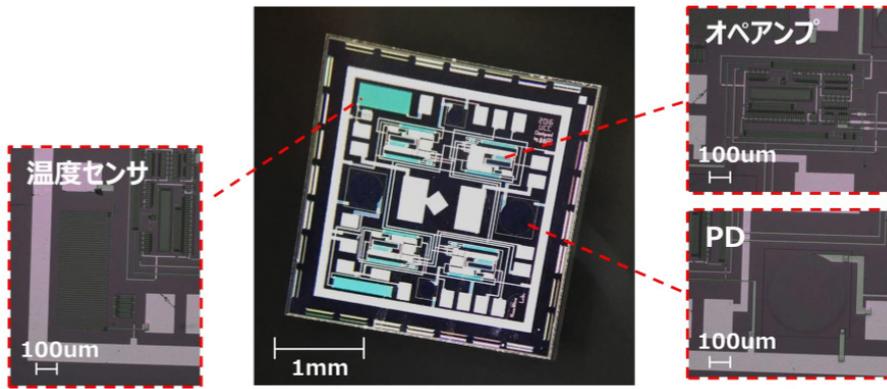
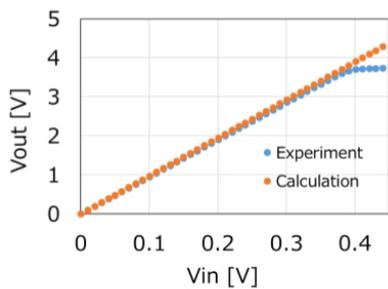


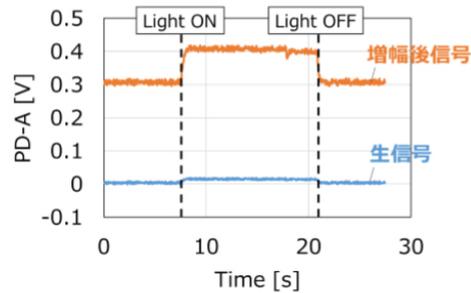
図5 試作したPD・オペアンプ・温度センサ集積の1チップ脈波・接触圧センサ

(1) アンプ回路性能評価 結果



増幅率 9.6倍

(2) PD信号増幅実験 結果



増幅率 8.7倍

図6 試作した1チップ脈波・接触圧センサ内蔵のオペアンプ性能評価

中央の写真が3mm角、0.7mm厚のチップ全体を撮影したもので、Siチップ中心にGaAs化合物半導体のLEDチップを手作業で搭載している。LEDの左右両側の黒色に見える部位に、Siのpn接合ダイオードでPDを2つ集積している。さらに、PDからの光検出信号を増幅するためのオペアンプと、センサ特性の温度依存性を補正するための温度センサも、CMOSアナログ回路で作成してチップ内に集積した。

図6は、チップ内に集積したオペアンプの性能評価結果である[5]。図6左は、PD出力電圧： V_{in} に対するオペアンプ出力電圧： V_{out} のSPICEシミュレーション（橙丸）と実測（青丸）であり、両者はよく一致し、増幅率は9.6倍であった。図6右は、LED光をオン・オフした時のPD出力生信号（青）と、オペアンプで増幅した信号（橙）である。オペアンプによる増幅率は8.7倍と、図6左の静特性倍率とほぼ同じであり、設計通りにオペアンプによる信号増幅が実現していることを確認した。

温度センサはnMOSトランジスタの温度特性を利用したもので、ペルチエ素子を用いてチップ温度を0～60℃の範囲で変化させて評価した[6]。nMOSトランジスタに接続する負荷抵抗値を500kΩとすることで、5℃の温度変化に対してセンサ出力変化4.7mVを得て、センサの温度依存性を補正する上で十分な感度になっている。

②脈波&接触圧センサ



PD-A(脈波用)

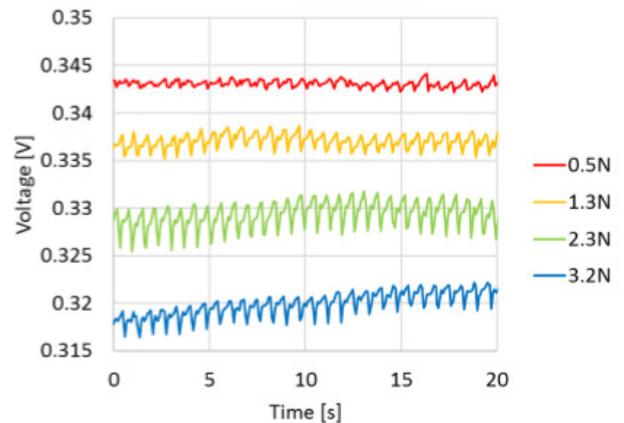


図7 試作した脈波・接触圧センサの評価結果

図7は、試作した1チップ脈波・接触圧センサ（図5）を用いて、実際に指先をセンサに押し付けて脈波センサからの信号出力を検出した測定例である。色が違う4つのデータは、センサへの接触圧が上から下へ0.5N（赤）、1.3N（黄）、2.3N（黄緑）、3.2N（青）の場合である。指

先をセンサに強く押しつけるにしたがって接触圧が増大し、平均的な脈波センサ出力は減少するが、脈波信号（周期は1秒弱）の振幅は逆に増大している。

図7右上の写真は、脈波・接触圧センサを搭載した評価ボードである。九州大学では、将来的にはセンサシステム全体をウェアラブル化して実用に供するようになりたい、との目標を掲げて研究開発を推進している。



3. 試作成果事例 (2)；抵抗変化型メモリを用いたニューラル学習回路

3.1 九州工業大学 脳型集積システム研究室の研究開発目標

本試作の利用者は、九州工業大学大学院 生命体工学研究科の森江 隆 教授が率いる脳型集積システム研究室である。AI(人工知能)技術の進展が近年著しいが、ハードウェアとしてはCMOS デジタルLSIを組込んだ汎用コンピュータを使っている。一方、生命体の脳を模倣した脳型LSIを開発しようと、CMOS デジタル技術で神経回路網(ニューラルネットワーク)を実現する試みが行われているが、回路規模は大きくなってしまふ。脳型LSIを簡易的な構造のアナログ素子で実現できれば、回路規模を抑えて低消費電力化が期待できる。アナログ素子として抵抗変化メモリを使い、ニューラル学習回路を実現しようとする

のが、本試作の狙いである [7].

図8は脳神経網のモデルで、積分発火型スパイクングモデルを描いている [8]. 橙色の大きな丸がニューロン(神経細胞), 黄色の小さな丸はシナプスで、ニューロン間を電流パルスが伝搬する。ある一つのニューロンには、前段の複数のニューロンからシナプスを介して電流パルス信号: i_i, i_j が伝搬してくる。ニューロン内で発生したシナプス後電位: P_i, P_j が蓄積し、ある発火閾値 (th) を超えると後段のニューロンへ電流パルス信号: i_n が出力される。

ニューロン間を結合するシナプスでは、電流パルス信号を受けて化学物質を分泌することで、ニューロン内にシナプス後電位 (PSP: Post Synaptic Potential) を発生させる。電流パルス信号からシナプス後電位へ変換する結合荷重: Δw は、図9に示したように入力スパイクと発火スパイクとの時間差: $\Delta t = t_{\text{post}} - t_{\text{pre}}$ に依存していると考えられている [8]. このスパイクタイミング依存シナプス可塑性 (Spike-Timing Dependent synaptic Plasticity: STDP) と呼ばれる学習ルールは、神経科学分野で活発に研究されている。2つのスパイクタイミングの時間差が正で小さいほど結合荷重が大きく、負で小さいほど結合荷重は小さい。正負両方とも時間差が大きくなるほど Δw は0に近くなる、というモデルになっている (図9にあるSET/RESETについては、図10を説明してから後述する)。このSTDP特性をハードウェアで実現するために、今回MOS-FETと抵抗変化型アナログメモリを使用して設計・試作を行なった。

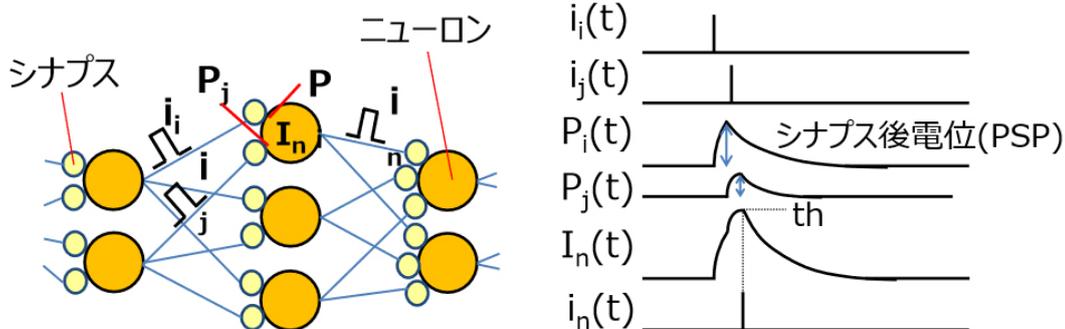


図8 脳神経網の積分発火型スパイクングモデル

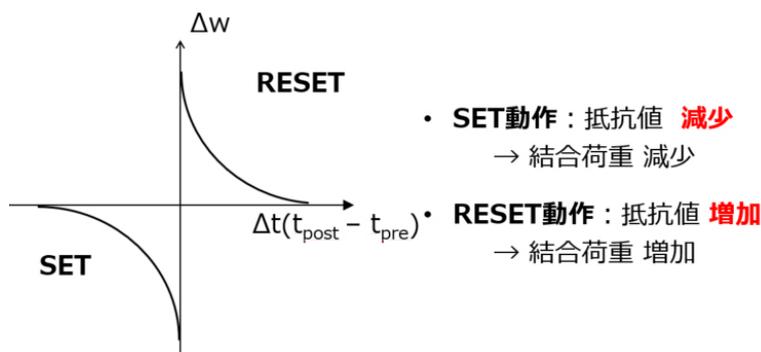


図9 シナプス荷重: Δw のスパイクタイミング: $\Delta t (t_{\text{post}} - t_{\text{pre}})$ 依存性

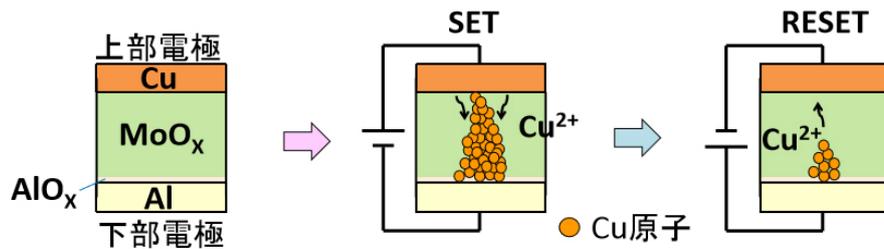


図 10 抵抗変化型メモリの構成（左）と動作原理（SET：中央，RESET：右）

図 10 は、抵抗変化型メモリ（ReRAM：Resistive Random Access Memory）の構成と動作原理を描いたものである。ReRAM の構成は図 10 左に示したように単純で、固体電解質であるモリブデンオキシド（ MoO_x ）の上下を 2 枚の電極で挟んだサンドウィッチ構造になっている。上部電極（Cu）に正電圧を印加すると、銅イオン（ Cu^{2+} ）が固体電解質に溶け出し下部電極（Al）方向から銅イオンによるフィラメントが成長し、両電極間がつながると急に抵抗が下がって電流が流れるようになる。これを SET 動作と呼ぶ。逆に上部電極に負電圧を印加していくと、固体電解質中の Cu フィラメントは細くなっていき、ある負電圧を超えるとフィラメントは途切れてしまい高抵抗状態へと戻る。これを RESET 動作としている。

ReRAM はメモリスタとも称される不揮発性メモリであり、SET 状態を 1、RESET 状態を 0 に対応させてデジタルメモリやスイッチとしての利用が主として検討されている [9][10]。電流通路である Cu フィラメントの太さ等によって抵抗値はアナログ的に変化するので、今回の

試作では ReRAM をアナログメモリとして利用して、シナプス荷重： Δw の STDP 特性（図 9）を実現することを目標にした。なお、ReRAM 素子の開発は、九州工業大学の共同研究先である北海道大学の高橋 康夫 教授のグループで行われている [11]。

3.2 FAIS によるニューラル学習回路の試作支援と試作結果

図 11 は、今回試作した Si MOS-FET 上に Cu-MoO_x-Al 抵抗変化メモリを積層した素子の断面構造（上）と上面写真（下）、回路図（右下）である [12]。FAIS では MOS-FET 部分のデバイス作製や TEG マスクの試作支援を行い、モリブデンオキシドによる ReRAM メモリ形成は森江 教授の共同研究先である北海道大学に委託して製作した。Si 基板上に先ず MOS-FET を作製し（チャンネル長 $L = 2\mu\text{m}$ ，チャンネル幅 $W = 6\mu\text{m}$ ，ゲート酸化膜 $t_{\text{ox}} = 25\text{nm}$ ，ソース・ドレインの Al 電極），層間絶縁膜 SiO_2 を

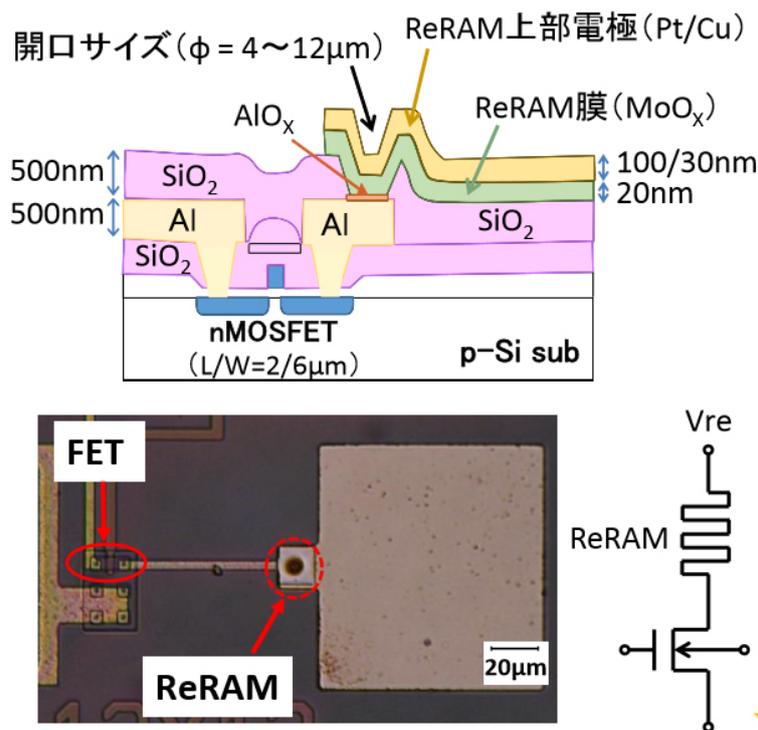


図 11 Si MOS-FET 上に作製した Cu-MoO_x-Al 抵抗変化メモリ

1050nm 積層する。層間絶縁膜 SiO₂ に、ReRAM メモリと接続するためのコンタクトホールを、開口直径サイズを色々変えて ($\phi = 4 \sim 12\mu\text{m}$) 形成した。コンタクトホール底の Al 電極表面は、O₂ プラズマ処理で AlO_x 絶縁層を形成しておく。その後北海道大学にて、ReRAM 固体電解質膜 (MoO_x 20nm) と上部電極 (Cu 30nm / Pt 100nm) をスパッタリングで積層した。

図 12 は、試作した抵抗変化メモリの電流 - 電圧ヒステリシスループを測定した結果である。正電圧を印加していくと 3 ~ 4V 付近で急に電流が増加して、SET 動作が行われ抵抗値が下がる。電流が 100 μA で飽和してから、逆に電圧を下げて行き、さらに負電圧を印加することにより RESET 動作が行われ高抵抗状態へと戻っていく。色が違う 5 つのデータは素子のバラツキではなく、単一の素子を 5 回測定した際に得られたデータの再現性がバラツキている。同一素子なので全て同じ波形になるのが理想だが、Cu フィラメントの生成・成長、もしくは測定環境が安定していないためと考えられる。点線で示した直線部分の傾きが SET 時のアナログメモリの抵抗を表わしており、バラツキはあるが、どのサンプルも約 10k Ω であった。

このように試作 ReRAM 自体の抵抗は約 10k Ω と一定であるが、FET のゲートに加える電圧パルスのパルス時間幅や印加パルス数を変えることで、ReRAM の抵抗値は変化するので、その制御方法を検討した。ReRAM の抵抗値変化は、ReRAM 端の電圧 V_{re} の変化として測定する (図 11 右下の回路図を参照)。STDP 特性を測定する時は ReRAM に直列抵抗 $R = 10\text{k}\Omega$ を接続した回路に高い電圧パルス (3 ~ 5V) を印加して書き込み (SET あるいは RESET 動作)、読み出しは抵抗値が変わらない低い電圧 (0.5V) で行う (SET/RESET 状態は維持される)。SET 動作においては抵抗値が減少する (Cu フィラメントが形成される) ので、これを結合荷重 Δw を減少させる方向へ対応させる。また、RESET 動作においては抵抗値を増加させる (Cu フィラメントが細る) ので、これを結合荷

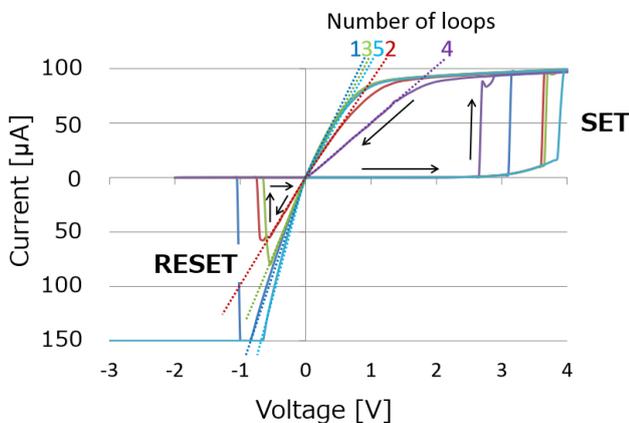


図 12 試作した抵抗変化メモリの電流-電圧ヒステリシスループ特性測定結果

重 Δw を増加させる方向へ対応させる (図 9 参照)。

書き込み電圧パルスを生成する 2 つのスパイクタイミングの時間差 Δt を取り入れて、SET/RESET 動作を制御する回路は、九州工業大学でブレッドボード上に製作して、FAIS で試作した抵抗変化メモリを接続して評価した。図 13 は、 Δt を横軸に、縦軸に結合荷重 $\Delta w = V_{re}$ をとって、複数の ReRAM サンプルに対して測定評価した結果である。特性バラツキは大きいですが、大凡の傾向 (朱色の点線) として図 9 の STDP 時間窓特性を得ることができた。

今回試作した抵抗変化型メモリは未だ素子 1 ケのレベルであり、脳型アナログ LSI に向けた第 1 歩に過ぎない。それでも、ReRAM をアナログメモリとして使い、2 つのスパイクタイミング差に依存してシナプス荷重が変化する STDP 特性が得られたことで、新たな脳型 LSI の実現可能性を示唆している。

今後の技術支援としては、制御回路の設計支援、現状ブレッドボード上に製作している制御回路の IC 化などを進める方針である。さらに、ReRAM 素子自体の改良、そして素子数の規模拡大・ネットワーク化が進展して、より小規模・低消費電力なハードウェアで、Deep Learning などの学習機能が可能となる脳型アナログ LSI が完成することを期待したい。

4. おわりに

技術支援貢献賞を受賞した FAIS 微細加工プラットフォームの「CMOS 集積回路-MEMS 試作支援」の試作成果事例として、1 チップ脈波センサ・接触圧センサと、抵抗変化型メモリを用いたニューラル学習回路について紹介した。いずれも高度専門技術者である安藤氏、竹内氏による使用者への丁寧な技術指導、技術支援の賜物といえよう。試作支援した研究開発テーマの今後の発展が楽しみである。また、FAIS での試作を通して CMOS 集積回路や MEMS の微細加工技術を修得した学生や若い社会人

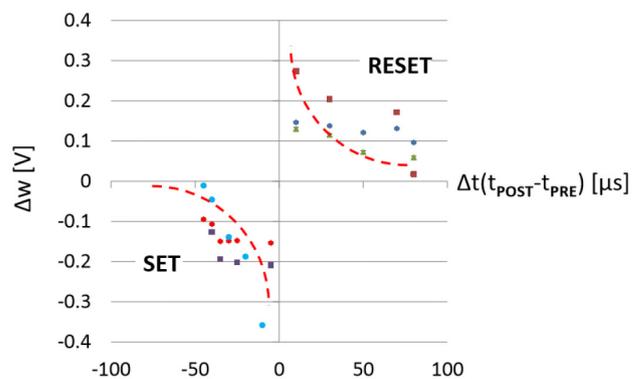


図 13 試作 ReRAM メモリの STDP 特性測定結果

のさらなる活躍を期待したい。

本記事の読者が、一貫した CMOS プロセス (1 μ m プロセス) を通せることや MEMS 微細加工にも対応する FAIS 微細加工プラットフォームを利用してみたい、とっていただくきっかけになれば幸いである。



参考文献

- [1] 技術スタッフ表彰 平成 29 年度 技術支援貢献賞 安藤秀幸, 竹内修三 (微細加工 PF: 北九州産業学術推進機構) 「CMOS 集積回路 -MEMS 試作支援」; http://nanonet.mext.go.jp/research_support_award/H29_Award_3.pdf
- [2] 北九州産業学術推進機構 共同研究開発センター; <http://www.ksrp.or.jp/fais2018.pdf>
- [3] KSRP 北九州学術研究都市; <http://www.ksrp.or.jp/>
- [4] "「CMOS+MEMS」一体化微細加工プロセスによる超小型変位センサの作製と医工学応用", NanotechJapan Bulletin Vol. 10, No. 1 (2017); http://nanonet.mext.go.jp/ntjb_pdf/nanotechPickUp-05.pdf
- [5] Y. Hayashida, T. Takeshita, H. Nogami, H. Ando, E. Higurashi and R. Sawada, "Development of Integrated Micro-displacement sensor by embedding amplifier circuits in the chip", International Conference on BioSensors, BioElectronics, BioMedical Devices, BioMEMS/NEMS & Applications (Bio4Apps 2016) December 14-16 (2016)
- [6] Toshihiro Takeshita, Yuma Hayashida, Hideyuki Ando, Hirofumi Nogami, and Renshi Sawada, "Temperature Compensation for a Microoptical Displacement Sensor Using an Integrated Thermal Sensor", Sensors and Materials, Vol. 28, No. 12, pp.1337-1347 (2016); http://myukk.org/SM2017/sm_pdf/SM1295.pdf
- [7] 森江隆, "More than Moore でブレークスルーを狙う脳型チップ", 日本神経回路学会誌, Vol.22, No.2, pp.51~52 (2015); https://www.jstage.jst.go.jp/article/jnns/22/2/22_51/_pdf
- [8] "ニューロンのスパイク発火タイミングによる情報処理モデルとその LSI 化", 九州工業大学大学院生命体工学研究科人間知能システム工学専攻 脳型集積システム研究室 HP; <http://www.brain.kyutech.ac.jp/~morie/topics/spiking.shtml>
- [9] "原子間力顕微鏡カンチレバーを活用した微細抵抗変化メモリ (ReRAM) 動作機構の解明", NanotechJapan Bulletin Vol. 9, No. 6 (2016); http://nanonet.mext.go.jp/ntjb_pdf/nanotechPickUp-04.pdf
- [10] "社会価値創造への貢献を目指す NEC のナノテクノロジー研究開発 ~IoT 時代を意識したセンサシステム, 金属ナノ材料による低消費電力 LSI, 発電デバイス~", NanotechJapan Bulletin Vol. 11, No. 2 (2018); http://nanonet.mext.go.jp/ntjb_pdf/nanoInnov-61.pdf
- [11] 高橋庸夫, 工藤昌輝, 有田正志, "ReRAM の抵抗スイッチ動作におけるフィラメント形成・消滅の透過電子顕微鏡内その場観察", 信学技報, vol.116, no.3, ICD2016-5, pp.21-26, 2016 年 4 月; <http://www.ieice.org/ken/paper/20160414ob7l/>
- [12] 富崎和正, 森江隆, 安藤秀幸, 福地厚, 有田正志, 高橋庸夫, "Si MOSFET 上に作製した Cu-MoO_x-Al 抵抗変化型メモリを用いた STDP 制御回路とその評価", 信学技報, vol.115, no.514, NC2015-70, pp.7-12, 2016 年 3 月; <http://www.ieice.org/ken/paper/20160322Bb7z/>

図は全て FAIS の安藤氏から提供された。

(尾島 正啓)