



文部科学省ナノテクノロジープラットフォーム 平成 30 年度技術スタッフ表彰 若手技術奨励賞 シリコンのトータルソリューション

受賞者 広島大学 微細加工プラットフォーム 佐藤 旦氏に聞く



(左) 技術スタッフ表彰式にて
(右) 佐藤 旦氏 (ナノデバイス・バイオ融合科学研究所電子デバイス物理特性評価装置パネル
および半導体デバイス一貫試作ラインのパネルの前で)

文部科学省が推進するナノテクノロジープラットフォーム事業では、毎年度プラットフォームの拠点において共用設備の利用者を支援する技術スタッフのなかで特に優れた成果を挙げた者を表彰している。平成 30 年度の表彰式は nano tech 2019 国際ナノテクノロジー総合展の初日 2019 年 1 月 30 日に同会場のセミナー会場 B で行われた。この表彰式で若手技術奨励賞が広島大学 ナノデバイス・バイオ融合科学研究所 研究員 佐藤 旦 (さとう ただし) 氏に授与された。ナノテクノロジープラットフォーム高度専門技術者 (微細加工領域) として「シリコンのトータルソリューション」と題する活動が評価された [1]。

今回、同大学の同研究所を訪問し、佐藤氏にその活動について伺った。なお、上司である同大学教授 黒木 伸一郎 (くろきしんいちろう) 氏が一時同席された。

.....



1. ナノデバイス・バイオ融合科学研究所 における微細加工プラットフォーム [2]

1.1 経緯

広島大学における微細加工プラットフォームは、ナノデバイス・バイオ融合科学研究所の中にある。同研究所の前身は 1986 年に文部科学省の省令センターとして 10 年時限で設立された集積化システム研究センターであり、1996 年に 10 年時限でナノデバイス・システム研究セン

ターとして改組設立されている。2008 年 5 月 1 日に学内の組織改変で同研究所が設立された。エレクトロニクスとバイオテクノロジーとメディカルサイエンスを融合する新しい研究を推進することを目的としている。

同大学の微細加工プラットフォームは、上記集積化システム研究センター以来蓄積継続され、文部科学省ナノテクノロジーネットワーク事業 (2007 年度～ 2011 年度) でも実績を積んできた技術・装置群を基に、大学の組織を超え、また産業界の研究開発ニーズに応じて、設備の共用、研究開発支援、共同研究等の活動を行っている。

1.2 広島大学の微細加工プラットフォームの特徴

同大学の微細加工プラットフォームは、集積化システム研究センター時代に設置した520m²のクラス100のスーパークリーンルームと、ナノデバイス・システム研究センター時代に設置した310m²のクラス10のスーパークリーンルームという、大学としてはトップクラスの環境内に展開する52台の装置を共用に提供している。

同研究所は、電子ビーム描画装置を用いた超微細トランジスタの設計・試作技術、また、マスクレス露光装置や深掘りエッチング装置を用いたMEMSデバイス試作技術など、半導体デバイスの設計からデバイス実現までの一貫試作を可能としており、材料やデバイスの物性評価装置も揃えている。微細加工プラットフォームとしては、これら装置・技術を用いて次の二種類の支援を実施している。

- ・デバイス作製支援（トランジスタ、バイオセンサ等）
 - ・要素技術支援（イオン注入、シリコン窒化薄膜形成）
- 次に共用に提供している装置群を挙げて紹介する。

【半導体デバイス一貫試作のための装置群】

薄膜形成装置群（9装置）：

LPCVD（減圧化学気相成長）装置（SiN及びSi堆積用）
プラズマCVD装置（SiN及びアモルファスSi堆積用）
スパッタリング装置（金属配線用）

その他：汎用スパッタ、APCVD、真空蒸着装置

リソグラフィー装置群（4装置とi線ステッパ）：

電子ビーム描画装置（ポイントビーム方式、エリオニクス ELS-G100）---6インチ以下対応

電子ビーム描画装置（可変成型方式、日立 HL700）
--- 2インチ以下対応

マスクレス露光装置（ナノシステムソリューションズ DL-1000）---4インチ以下対応

エッチング装置群（10装置）：

シリコン用深掘りエッチング装置（住友精密工業 MUC-21）---4インチ以下対応

ICP（誘導結合プラズマ）エッチング装置：Si用
---2インチ以下対応

ICP（誘導結合プラズマ）エッチング装置：Al用

---2インチ以下対応

その他：ICP（SiO₂用）、RIE（SiO₂用、Al用）、ECR（Si用）、CDE（SiN用）、汎用エッチャー、Asher

不純物注入・酸化・アニール装置群（10装置）：

イオン注入装置、リン拡散炉・PMA炉、酸化炉（3）・
拡散炉（2）、汎用熱処理装置、RTA（高速熱処理）装置
--- いずれも対応ウェハは2インチ以下

【その他（物性評価等）】

薄膜物性評価装置群（15装置）：

ラザフォード後方散乱（RBS）測定装置

2次イオン質量分析装置（SIMS）

X線光電子分光分析装置（XPS）

電界放出型走査電子顕微鏡

ホール効果測定装置

X線解析装置

その他：AFM、XRF、分光エリプソメーター、デバイス測定装置、膜厚計、段差計



2. 微細加工プラットフォームの利用、支援の状況

2.1 プラットフォームの利用形態

微細加工プラットフォームの利用形態としては、

- ①共同研究
- ②機器利用
- ③技術代行
- ④技術補助
- ⑤技術相談

の5種類がある。共同研究における設備共用でも、支援の内容によっては共同研究ではなく技術代行で契約することもあり、また、機器利用も必要に応じて技術スタッフが支援を行っている。

ただし、利用件数を大きく拡大するにも難しい一面がある。例えばデバイス試作など一件につき100近いプロセスがある支援も多く、工数や時間が掛かるものが多いためであるとの説明があった。



図1 ナノデバイス・バイオ融合科学研究所



図2 クリーンルーム内部

ナノデバイス・バイオ融合科学研究所に属する微細加工プラットフォームとして、研究所内の融合研究に利用されるが、外部からのバイオ関係の利用者はまだ少ない。現状は研究所のバイオ関係研究者の紹介による利用者など範囲が限られている。実績を積むことで、異業種からの利用が増加することを期待すると、佐藤氏は語った。

2.2 微細加工プラットフォームにおける佐藤氏の役割と活動

佐藤氏は利用支援を実行する技術スタッフのトップとして、次の工程を担当している。

- ・ナノ構造加工・MEMS加工およびプロセス設計
- ・薄膜形成・不純物導入
- ・ナノ構造パターン設計
- ・ナノ構造形成・組成分析支援

過去7年間の合計支援件数297件中で、佐藤氏が担当した件数は177件である。利用者の要望に合わせて、各種半導体デバイスの作製、作製工程の要素技術の支援を行っているが、デバイス作製に際して、厳しいクリーン度の管理が必要であり、装置毎に、工程前後にそれぞれ指定のピンセットや専用用具の使用確認を徹底している。

プラットフォームの運営にあたっては、装置や設備の維持管理にも労力を使うことが多い。先日でもクリーンルームの気圧を陽圧に保つように室内に差圧を作るエアコンディショニングユニットの補修を行った。クリーンルームの稼働を止めて、ラジエーターの目詰まりを除去して、動作を正常化した。またこのプラットフォームには、年季が入った装置が多いので、修理の機会も多い。故障箇所を見つけ、自分で修理することは、学生や若い人にとって勉強にもなると、佐藤氏は語った。

佐藤氏は支援業務の傍ら、支援業務にも効果を発揮する簡素化CMOSFET (Complementary metal-oxide-semiconductor field-effect transistor; 相補型MOSFET)

デバイス構造と試作プロセス技術を創出し提案している(詳細は4章参照)。このCMOS技術を用いた夏季実習も行い、好評であった。

2.3 佐藤氏の経歴

こうした活動を行う佐藤氏の技術的経歴は、大学修士課程でのダブルゲートシリコン(Si)薄膜トランジスタ(TFT: Thin Film Transistor)の研究に遡る[3][4]。図3によりその作製工程を説明する。ガラス基板上に図aのようにバックゲート金属(Mo)電極を形成し、ゲート絶縁膜としてSi酸化膜(SiO₂)を被覆した上に図bの形状のアモルファスSiを堆積し、レーザー照射でポリSi化してチャンネル領域を形成する。その上をまたSiO₂ゲート絶縁膜と金属薄膜とレジスト膜を重ねて被覆したあと、裏面のガラス面から露光し、バックゲート金属電極をマスクとして図cに示すような同じパターン形状のトップMoゲート電極を形成した。図dではチャンネルに接続するポリSi部分に不純物を注入してソースとドレインを形成している。試作トランジスタの特性を評価し、ダブルゲートの効果を確認した。

こうした経験を経て、2010年4月に広島大学ナノデバイス・バイオ融合科学研究所に就職した。当初は、集積回路の低誘電率層間絶縁膜の材料研究に携わり、低誘電率ポーラスシリカ膜の作製と特性評価を行った。そのプロジェクト終了後、2012年に始まった微細加工プラットフォームに技術支援員として参加し、これまで身に付けてきた半導体デバイスの専門能力を活かして、利用者の要望に応えるソリューションを提供できるように支援業務を遂行している。

以下に佐藤氏がプラットフォーム利用者を支援し、ソリューションを提供した例(紙面の都合でほんの数例)など、佐藤氏の活動の具体例を紹介する。

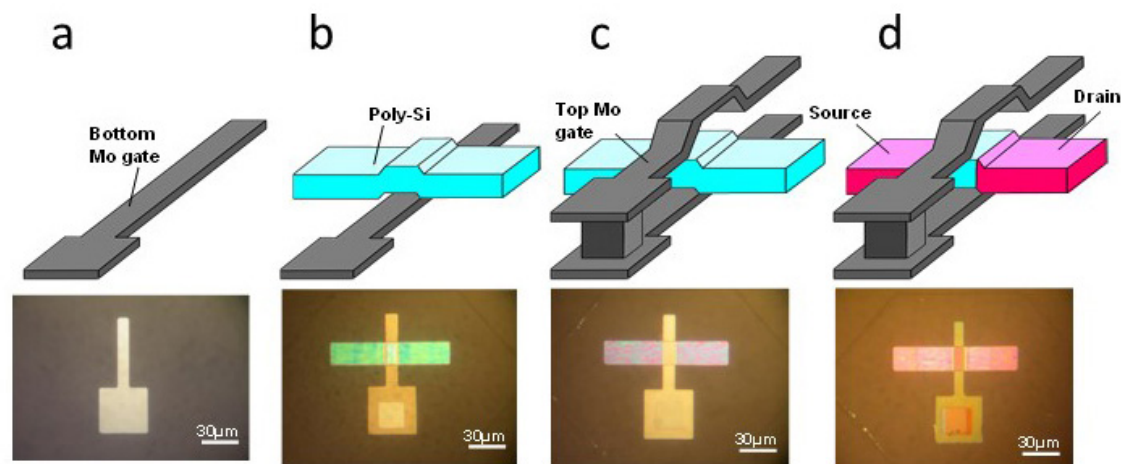


図3 ガラス上のダブルゲート多結晶シリコン TFT の作製工程の説明図



3. 佐藤氏支援事例

3.1 ガラス基板上4端子低温多結晶Si薄膜トランジスタによるCMOSインバータ

この支援は、佐藤氏の出身大学である東北学院大学からの利用で、佐藤氏が修士課程で携わったダブルゲートSi薄膜トランジスタ (TFT: Thin Film Transistor) (図3参照) のCMOSインバータ集積回路への応用展開である。ダブルゲート的一方を独立させ、インバータの閾値電圧 (V_{th}) を精密に制御する電極とする4端子構造で、電源電圧 (V_{dd}) 1.0V の低電圧動作の実現を狙っている。図4はnチャネルTFTの断面模式図、図5はガラス基板上に形成したCMOSインバータ集積回路の光学顕微鏡写真である [5][6][7]。写真の右半分のnチャネルTFTと左半分のpチャネルTFTが左端の電源電極 V_{dd} と右端のグランド電極の間に直列に接続されCMOSインバータ論理回路を形成している。上に伸びる二つのトップゲート接続領域は入力電極 V_{in} に、中央の下に伸びる領域は出力電極 V_{out} に接続している。左右下に曲がって伸びているのは V_{th} 制御用のバックゲートへの接続部である。

同大学はクリーンルーム内にデバイス作製の大部分の

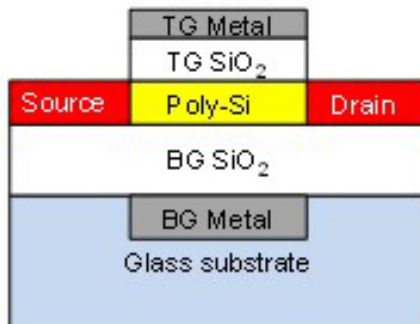


図4 4端子TFT断面模式図

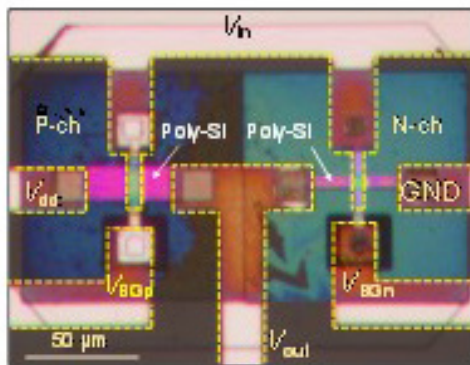


図5 CMOSインバータの光学顕微鏡写真

装置を揃えているが、イオン注入装置がないので、この部分を広島大学の微細加工プラットフォームの装置を用い技術代行の支援を行った。nチャネルTFTとpチャネルTFTのソース及びドレインにリン (P) とフッ化ボロン (BF_2) をイオン注入した。図3での説明のように、トップゲートを背面露光でパターンニングするために、ゲート金属の膜厚を薄くする必要があり、一方このトップゲートをマスクとしてイオン注入する際には、加速エネルギー10keVの装置仕様限界での慎重なイオン注入が必要であった。図6に試作インバータ回路の入出力電圧特性を示す [7]。電源電圧1.0Vでインバータ論理回路として動作することを示している。

3.2 DNA/Siメモリートランジスタの基板作製支援

ナノデバイスとバイオが結合したケースで、兵庫県立大学との共同研究の事例である [8][9][10]。Si MOS FET構造のチャンネル部分のSiをDNAで置き換えた構造を提案している。即ち、図7に構造を示すようにDNAチャンネル/SiO₂/Si (ゲート) の階層構成で、DNAチャンネルが自己組織化で作られる特徴がある。

従来LSIはひたすら微細化により高集積化を追求してきたが、近年、微細化が限界に近づき、製造コストも増加することから、特に高集積化の要求されるメモリーなどの高密度化が困難になりつつあり、代替技術が求められている。兵庫県立大学の研究グループは、その候補としてDNAをチャンネルに使う代替技術を取り上げた。DNAをチャンネルとするMOSFETでもゲート電圧を変化させることでトランジスタ特性を示すことは知られており、本研究では、その高密度化とプロセスコストの低減の特徴を活かしたDNAメモリFETの実現を狙っている。今回の試作はこの構造に於けるキャリアの挙動の調査を目的とするものであった。

共同研究の分担は、Siトランジスタの構造部分は広島大学の微細加工プラットフォームで行い、DNAによるチャ

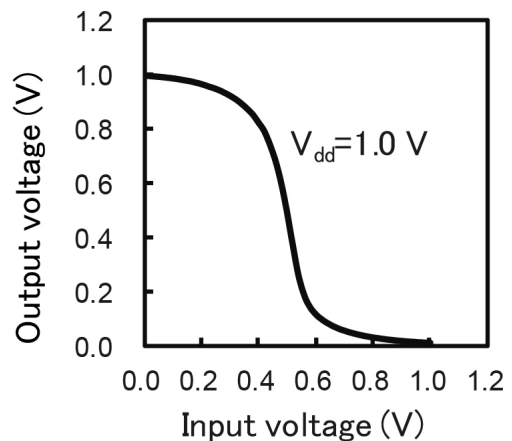


図6 インバータの入出力電圧特性

ネル部分の作製・評価は兵庫県立大学が担当した。図8および図9は、広島大学が担当したトランジスタ全体の構造とチャンネルが形成される溝の形状を示している。溝の幅はDNAの分子の長さに合わせて120nmと指定され、また、後に60nmの試みも行った。

溝の作製に於いては、電子線描画で開けたレジストの窓からのエッチングに際して横方向へのエッチングの広がりが起こるので、精度よく垂直の壁を作るのに苦労したと佐藤氏は語った。図8(b)の断面写真では、穴がSi層を通過しているところではほぼその条件を満たしている。

DNAは図7に示すように、AGE (Allyl Glycidyl Ether : アリルグリシジルエーテル) を介してSi電極と接続している。なお、この共同研究の成果については、Nanotech Japan Bulletin, Vol. 7, No. 5, 2014年11月4日発行/ナ

ノテクノロジー EXPRESS(第30回)に掲載されており[8]、試作デバイスの特性評価を基にDNAチャンネルのキャリア伝導モデルが議論され、また I_D - V_D 特性における僅かなヒステリシスが確認されている。

3.3 ウイルス濾過膜の濾過機構可視化のための微細流路

微細加工プラットフォームの利用分野の広がりを示す利用事例を紹介する。株式会社旭化成メディカルによる技術代行の利用で、中空糸フィルターのウイルス濾過膜の濾過機構可視化のための模擬微細流路作製の依頼であった。佐藤氏は、依頼主から送られてきた濾過膜断面パターンのSEM像をそのまま設計ソフトに入力し、まず、マスクレス露光装置と深掘りエッチング装置を利用して

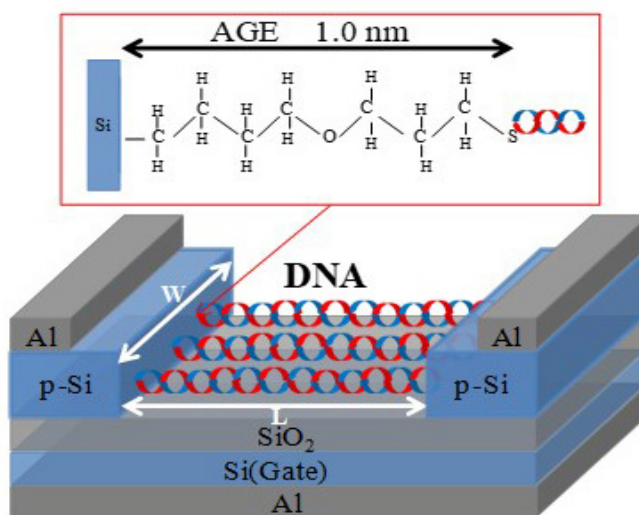


図7 DNA/Si トランジスタの構造概念図

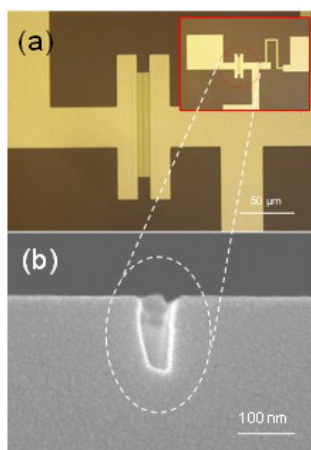


図8 トランジスタの構造写真
(a) 平面写真 (拡大と縮小), (b) チャンネルを形成する溝断面

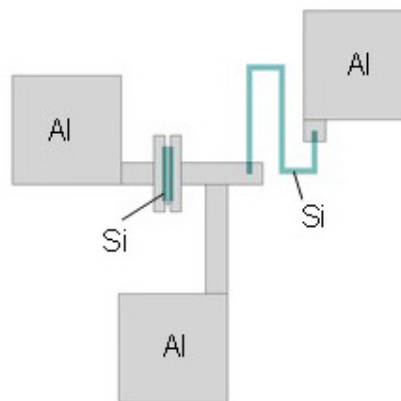


図9 トランジスタ平面パターン

模擬流路のSiの鋳型を作った。エッチングの深さは約 $50\mu\text{m}$ である。図10はその表面パターンである。作製した鋳型にPDMS（熱硬化型液状シリコンゴム）を注入し硬化させ、これを剥がして表面にガラスペレットを貼り付けて、ウイルス濾過膜の濾過機構可視化用微細流路を完成させた。

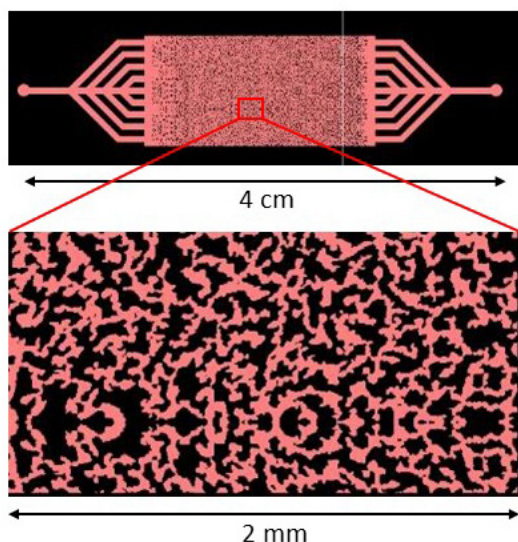


図10 ウイルス濾過膜を模擬した濾過機構可視化ツール



4. 短期試作 CMOS IC の提案と夏季セミナーでの実用

一般的な CMOS 製造プロセスは微細化，高性能化，高密度化を追求することで，構造が複雑となりプロセス工数も多くなっている。製造期間も，トランジスタや簡単な IC を作るだけでも 3～4 週間はかかる。広島大学では毎夏，半導体実践講座で実習プログラムを実施しており，その他にも社会人教育などで IC 製造の実習がある。佐藤氏らのグループは，そうした実習で試作する IC として，出来るだけ簡素化して短期間で作製できる CMOS IC 構造・プロセスを構築した。図11に構造を示す。素子間分離も LOCOS (LOCAL Oxidation of Silicon) や shallow trench は行わず，層間絶縁膜を厚くすることで済まし，ゲート酸化膜も熱酸化，ゲートも Al 金属でソースやドレイン電極と同時に形成し，イオン注入したら熱処理は全部一緒に行うなど，工夫をこらし，試行を繰り返した結果，数日間で完成するデバイス・プロセスを確立することができた。なお露光には作業の簡単なマスクレス露光装置（最小寸法 $1\mu\text{m}$ ）を用い，最小寸法 $3\mu\text{m}$ で製造している。

図12に試作した CMOS IC の写真を示す。リングオシレータと CMOS インバータを搭載している。図13に

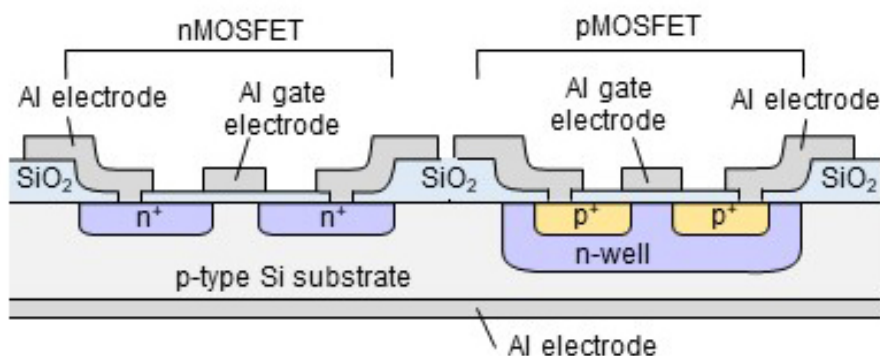


図11 短期試作 CMOS IC の構造

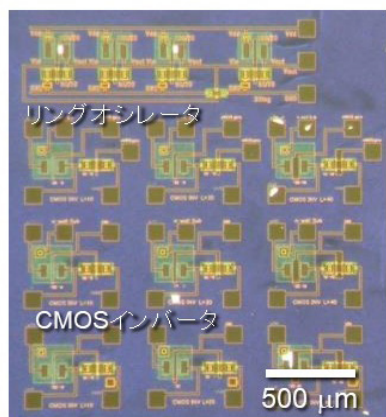


図12 試作 CMOS IC の写真

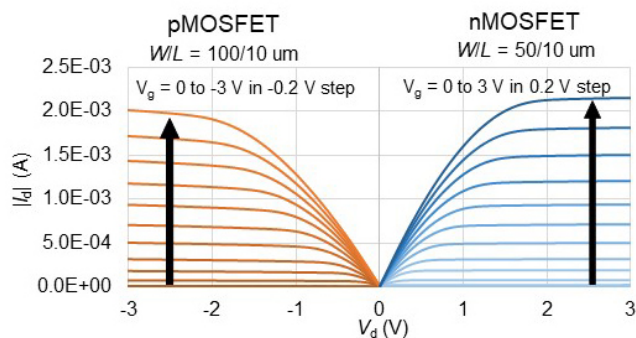


図13 pMOS FET と nMOS FET の特性

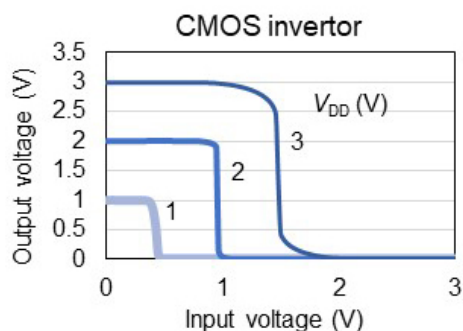


図 14 CMOS インバータの入出力電圧特性

CMOS インバータを形成する nMOS FET と pMOS FET のドレイン電圧 - 電流特性を、図 14 に CMOS インバータの入出力電圧特性を示す。

短期試作 CMOS IC は、実習用を具体的目標として開発した。しかし微細加工プラットフォームの利用者にも活用してもらいたいと佐藤氏は語っている。これまでに、一件の利用者があり、FET のゲート絶縁膜の誘電体材料の検討が利用目的であった。この CMOS プロセスではゲート絶縁膜後の工程は Al ゲート電極工程だけで短いの、誘電体材料の評価が素早くでき、後工程の影響を受けることが少なく済むメリットがあった。



5. 今後の抱負とユーザへの期待

佐藤氏は今後の自身の在り方とプラットフォームの利用者への期待について、次のように語った。

- (1) ユーザーの求めるものを理解し、素早く検討・実践できる能力の幅広さを追求したい。特定分野を深く追求するのではなく、自分の汎用性を高めたい。
- (2) 広島大学は、ユーザーニーズに応えられる多くの装置を備えた設備を保有しており、じっくり「作りこみ」を希望する人に是非使ってほしい。
- (3) 工学だけでなく、多方面に Si デバイス試作サービスの認知度を高め、多方面から、プラットフォーム活用に来てほしい。多方面との接触により、自分自身の技術力向上も図りたい。多方面としては、農業、医療、理学関係が挙げられる。



6. おわりに

広島大学は、LSI (大規模集積回路) がムーアの法則に従って微細化・高集積化が急速に進んだ時代、微細化がナノ領域に突入して新しい材料科学が追求されたナノテクノロジーの時代、そして今の持続社会を目指してナノテクノロジーの応用展開が活発化する時代を通して、大学としては恵まれたクリーンルーム施設、加工・評価装置群を揃え、研究開発を行ってきた。微細加工プラット

フォームでは、その装置群と蓄積技術を外部ユーザーと共用して、社会貢献を果たすことを目的としている。

今回の佐藤氏の話を通じて感じたことは、こうした恵まれた施設や装置群を活かすのは人であるということ、即ち、その保守、管理、目的に応じて使いこなす技術がないと、せっかくの設備・装置も機能を発揮できない。技術スタッフの活動がその鍵をにぎっている。もう一つ重要なことは、ユーザーの存在である。ユーザーの創造的発想とプラットフォームの提供するソリューションが、新しい社会に貢献する成果を生み出すことになる。このことは、佐藤氏の抱負とユーザへの期待に述べられた通りである。今後の広島大学の微細加工プラットフォームの活躍に期待したい。



参考文献

- [1] NanotechJapan, ナノテクノロジープラットフォーム事業、技術スタッフ表彰、平成 30 年度若手技術奨励賞 佐藤 旦、「シリコンのトータルソリューション」
https://www.nanonet.go.jp/pages/research_support_award/H30_Award_5.pdf
- [2] 広島大学ナノデバイス・バイオ融合科学研究所 <http://www.rnbs.hiroshima-u.ac.jp/intro.html>
- [3] T. Sato, K. Yamamoto, J. Kanbara, K. Kitahara and A. Hara, "Fabrication of Large Lateral Polycrystalline Silicon Film by Laser Dehydrogenation and Lateral Crystallization of Hydrogenated Nanocrystalline Silicon Films", Jpn. J. Appl. Phys., 48, 121201, 2009.
- [4] A. Hara, T. Sato, K. Kondo, K. Hirose, K. Kitahara, "Self-Aligned Metal Double-Gate Low-Temperature Polycrystalline-Silicon Thin-Film Transistors on Glass Substrate Using Back-Surface Exposure" Jpn. J. Appl. Phys. 50, 021401, 2011.
- [5] A. Hara, S. Kamo, T. Sato, "Self-Aligned Four-Terminal Planar Metal Double-Gate Low-Temperature Polycrystalline-Silicon Thin-Film Transistors for System-on-Glass", IEICE TRANSACTIONS on Electronics E97-C, 1048, 2014.
- [6] H. Ohsawa, S. Sasaki and A. Hara, "Controllability of self-aligned four-terminal planar embedded metal double-gate low-temperature polycrystalline-silicon thin-film transistors on a glass substrate", Jpn. J. Appl. Phys. 55, 03CC01, 2016.
- [7] H. Ohsawa, H. Utsumi and A. Hara, "Performance of four-terminal low-temperature polycrystalline-silicon thin-film transistors and their application in CMOS inverters on glass substrates", Jpn. J. Appl. Phys. 57, 03DB01, 2018.
- [8] 松尾 直人, 部家 彰, 山名 一成, 高田 忠雄, 佐藤

旦, 福山 正隆, 横山 新, “DNA をチャンネルとする Si 半導体 MOSFET ～ DNA のメモリ機能を発見～”, NanotechJapan Bulletin, Vol. 7, No. 5, ナノテクノロジー EXPRESS (第 30 回), 2014. <https://www.nanonet.go.jp/magazine/archive/?page=1308.html>

[9] S. Maeno, N. Matsuo, S. Nakamura, A. Heya, T. Takada, K. Yamana, M. Fukuyama, and S. Yokoyama, “Study of change retention mechanism for DNA memory FET”, IEICE Electronics Express, 11, 1-6, 2014.

[10] H. Nakano, N. Matsuo, T. Takada, K. Yamana, A. Heya, T. Sato and S. Yokoyama: “Study of the inverter circuit with DNA/Si-MOSFET”, Proc. Int. Meeting for Future of Electron Devices, Kansai (IMFEDK2017), 32-33, 2017.

本文中の図面は全て佐藤 旦氏から提供されたものである。

(向井 久和)